

文章编号: 1672-2892(2010)03-0247-05

## 高速通用数字调制器的设计与实现

王 鹏, 杨 春, 文招金

(中国工程物理研究院 电子工程研究所, 四川 绵阳 621900)

**摘 要:** 为了提高调制器的灵活性和可扩展性, 设计了一个中心频率和符号速率可调, 且支持多种调制体制的高速通用数字调制器方案, 并能产生中频为 80 MHz, 带宽为 7.936 5 MHz 的正交相移键控(QPSK)信号和 16QAM(正交幅度调制)信号。集中论述基于软件无线电的通用调制算法、符号映射原理和高速成形滤波模块的具体实现。测试结果表明, 该方案开放性好, 结构简单, 体积小, 具有一定的实用性和通用性。

**关键词:** 通用调制器; 正交幅度调制; AD9957 器件; 软件无线电; 成形滤波器

**中图分类号:** TN911.72

**文献标识码:** A

## Design and implementation of high speed and general-purpose digital modulator

WANG Peng, YANG Chun, WEN Zhao-Jin

(Institute of Electronic Engineering, China Academy of Engineering Physics, Mianyang Sichuan 621900, China)

**Abstract:** This article introduces a new type of high speed, multi-modulated digital modulator with adjustable center frequency and bit rate features. It can realize the Quadrature Phase Shift Keying(QPSK) and 16QAM(Quadrature Amplitude Modulation) with 80 MHz center frequency and 7.936 5 MHz bandwidth. The general-purpose modulation arithmetic based on software radio, symbol mapping and the realization of pulse shaping filter are discussed. The measuring results demonstrate that the modulation scheme meets the requirements of practicability and general utilization.

**Key words:** general-purpose modulator; Quadrature Amplitude Modulation; AD9957; software defined radio; pulse shaping filter

软件无线电技术的快速发展对调制器的设计产生了深刻影响。按照软件无线电的思想设计实现调制器, 能把工程师从繁琐的硬件设计中解脱出来, 在同一个硬件平台上, 通过配置不同的软件模块来实现不同的调制信号, 缩短研制周期, 避免因调制体制的变化而产生诸多麻烦; 同时, 由于数字器件的一致性较好, 使得基于软件无线电的通用调制器的制造和测试成本大幅降低; 此外, 还能应用先进的信号处理技术提高信号的调制特性, 增强调制器的灵活性和扩展性<sup>[1]</sup>。随着 A/D, D/A 和 FPGA 等器件的性能越来越好, 基于软件无线电技术构建高速通用调制器成为研究热点。本文基于软件无线电技术, 采用 FPGA 加 AD9957 的架构, 设计实现了一个高速通用数字调制器, 能实现中频和符号速率可调的多进制数字相位调制(Multiple Phase Shift Keying, MPSK)、频率调制(Frequency Modulation, FM)、脉冲幅度调制(Pulse Amplitude Modulation, PAM)、正交幅度调制(Quadrature Amplitude Modulation, QAM)、连续相位调制(Continuous Phase Modulation, CPM)、最小移频键控(Minimum-Shift Keying, MSK)等大多数调制信号。调制信号的码速率最高能达到 62.5 Mbps, 中心频率最高能达到 400 MHz。

### 1 通用调制算法

中频信号是一种带通信号, 表示为:

$$S(t) = A(t)\cos(\omega_c t + \theta(t)) \quad (1)$$

式中:  $A(t)$  是载波幅度;  $\omega_c$  是载波频率;  $\theta(t)$  是载波相位。

用完备正交基  $\{\cos \omega_c t; \sin \omega_c t\}$  对式(1)进行正交展开得到:

$$S(t) = A(t)\cos(\omega_c t)\cos \theta(t) - A(t)\sin(\omega_c t)\sin \theta(t) \quad (2)$$

$$\begin{cases} I(t) = A(t) \cos \theta(t) \\ Q(t) = A(t) \sin \theta(t) \end{cases}$$

式(2)中的中频信号  $S(t)$  可用 2 个矢量  $\{I(t), Q(t)\}$  来表示, 设  $m(t)$  表示信源调制信号, 利用上述表达方法将中频信号的表示从带通变为基带, 从而将信号调制分解为 2 个过程:

- 基带调制过程,  $m(t) \rightarrow \{I(t), Q(t)\}$ ;
- 正交调制过程,  $\{I(t), Q(t)\} \rightarrow S(t)$ 。

据此, 提出多模式调制的通用结构, 见图 1。

通用调制的理论基础是采用正交基函数对已调制信号进行正交分解。这种正交分解具有 2 个作用: a) 将二维正交空间信号表示为二位矢量信号; b) 通过正交分解将信号从带通变为低通, 从而可以在基带采用矢量星座映射来表示调制, 而不是在载波频率上表示调制。不同体制的调制对应不同的映射表, 因此具有统一的通用实现架构<sup>[2-3]</sup>。

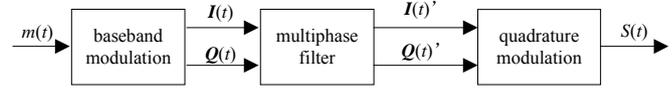


Fig.1 General-purpose structure of the multi-mode modulation  
图 1 多模式调制的通用结构

## 2 系统方案

基于以上多模式调制通用结构的分析, 本文给出 FPGA 加 AD9957 的系统架构, 见图 2。其中, FPGA 实现基带调制和信号处理, AD9957 实现正交调制(上变频)。

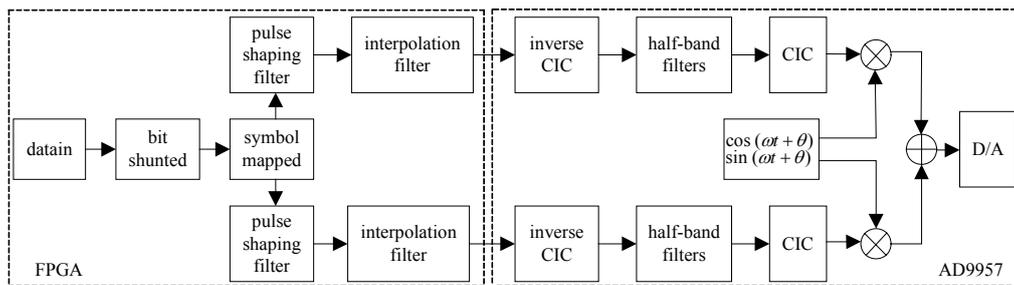


Fig.2 Structure of high speed and general-purpose modulator  
图 2 高速通用数字调制器的系统结构

AD9957 集成了数字上变频器芯片(Digital Up Converter, DUC)和 DAC, 采样率为 1 GS/s, 同时功耗比其他直接频率合成器减小 50%以上, 能产生中频为 400 MHz 的调制信号, 且无杂散动态范围(Spurious Free Dynamic Range, SFDR)高达 80 dB<sup>[4]</sup>。它有 3 种工作模式: 正交调制模式、内插 DAC 模式和单音模式。当它工作在正交调制模式时, IQ 两路分时复用 1 个 18 bit 的并行数据输入口, 一个 I 数据跟着一个 Q 数据, 不断重复。其中固定的 4 倍内插滤波器由 2 个半带(half-band)滤波器级联而成, 级联积分梳状滤波器(Cascaded Integrator Comb, CIC)的内插倍数为 2~63, 所以系统的总内插倍数为 8~252。Inverse CIC 滤波器用来补偿 CIC 滤波的通带衰减, 以保证在奈奎斯特带宽内有平坦的幅度响应。DDS 为正交调制提供数字载波信号  $\sin/\cos$ , 其工作时钟为系统时钟。当系统工作时钟为 1 GHz 时, 最大输出载波频率为 400 MHz, 当只使用固定的 4 倍内插器时, 对应最大 IQ 数据率  $f_{IQ}=1\ 000/4=250$  MHz。

FPGA 选用 Xilinx 的 XC4VFX60-10FFG1152I, 它的最高时钟频率为 500 MHz, 拥有 50 万个逻辑单元, 并且集成了 PowerPC405 处理器, 为复杂信号处理、逻辑控制以及界面开发提供支持。

系统工作流程: 信号进入系统后, 首先在 FPGA 里实现基带调制和成型滤波得到 18 bit 的基带 IQ 数据, 然后在 AD9957 里经内插后, 分别与载波  $\sin/\cos$  相乘, 再相加产生中频调制信号, 中频调制信号最后乘以一个 8 bit 的系数进行放大后再由 DAC 转变为模拟信号。其中基带调制包括差分编码、比特分组和符号映射 3 个过程。

## 3 关键技术

### 3.1 成形滤波器的设计

为了同时减少码间干扰和调制信号的带宽, 常采用脉冲成形技术。熟知的脉冲成形技术有升余弦滚降滤波和高斯脉冲成形滤波等。升余弦滚降滤波属于奈奎斯特脉冲成形, 适用于要求采用线性放大器的线性调制, 其传递函数  $H_{RC}$  可以通过在发射机端和接收机端使用同样的  $\sqrt{H_{RC}}$  滤波器来实现; 高斯脉冲成形滤波适用于非线性调制。

本文针对 QPSK 调制和 16QAM 调制采用根升余弦滚降滤波来实现脉冲成形。根升余弦滚降滤波器的输入码速率为 25 Mbps，插值倍数为 4 倍，滚降系数为 0.5，滤波器的阶数为 32 阶。采用查找表法<sup>[5]</sup>设计该滤波器，其结构原理见图 3，图中成形 ROM 表用 FPGA 的 IP-Core 实现，ROM 表存放的数据可先由 Matlab 计算得出。一个数据符号成形后取 4 个样值(相应可利用主时钟为 4 倍符号速率的模 4 计数器产生成形 ROM 表的低位地址)，这样既可以保证较好的性能，又可以减小设计的复杂度和降低 FPGA 资源的耗费。

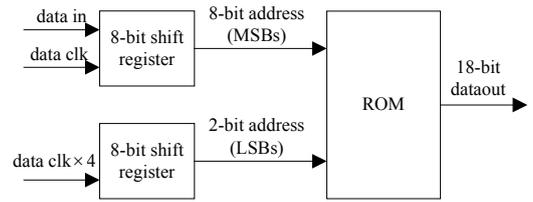


Fig.3 Diagram of high speed pulse shaping filter  
图 3 高速成形滤波器结构原理图

在 FPGA 里实行此设计，用 modelsim 进行时序仿真得到的结果见图 4。仿真结果说明该设计正确、可行。

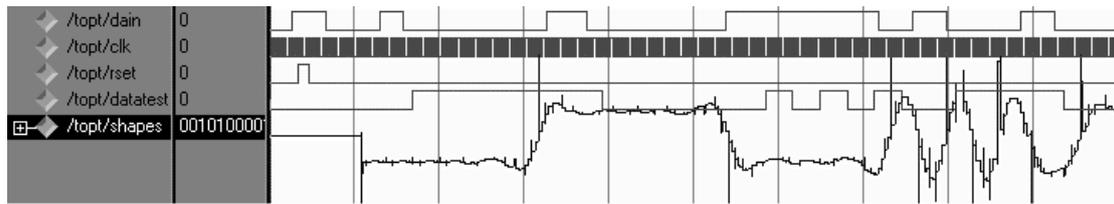


Fig.4 Post-Route simulation of high speed pulse shaping filter  
图 4 高速成形滤波器的时序仿真结果

### 3.2 符号映射

根据通用调制理论，调制的关键在于矢量星座映射，不同的调制体制对应不同的映射表。以 QPSK 为例，QPSK 信号正交展开后可以表示为：

$$S_{\text{QPSK}} = g(t)\cos\left[\frac{\pi}{2}(m-1) + \theta_0\right]\cos 2\pi f_c t - g(t)\sin\left[\frac{\pi}{2}(m-1) + \theta_0\right]\sin 2\pi f_c t \quad (3)$$

式中： $g(t)$ 是发送脉冲波形； $m=1,2,3,4$ ； $\theta_0$ 是载波初始相位； $f_c$ 是载波频率。QPSK 信号集内的 4 个信号可由二维矢量表示为：

$$S_m = \left[ \sqrt{\frac{\zeta_g}{2}} \cos\left[\frac{\pi}{2}(m-1) + \theta_0\right]; \sqrt{\frac{\zeta_g}{2}} \sin\left[\frac{\pi}{2}(m-1) + \theta_0\right] \right] \quad m=1,2,3,4 \quad (4)$$

基于这种表示，设初始相位  $\theta_0$  为  $\pi/4$ ，QPSK 信号可以用 4 个点的二维星座图表示，见图 5。四进制基带信号格雷编码后映射到 QPSK 星座图，映射关系见图 5。16QAM 信号对应的星座图见图 6。由于 AD9957 要求其输入数据为 18 位二进制补码，所以用 18 位二进制补码来量化数值区间[0 1]，得到 QPSK 信号的星座映射表，见表 1。

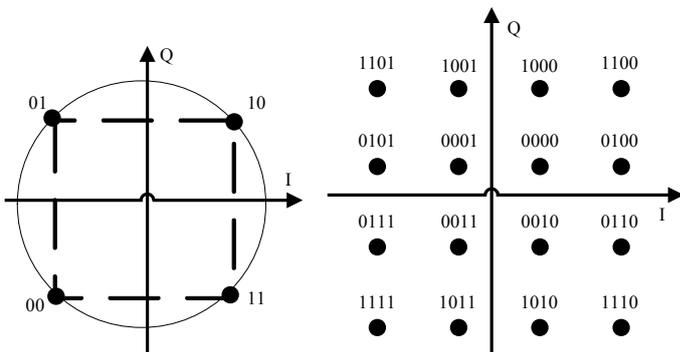


Fig.5 QPSK constellation  
图 5 QPSK 信号的星座图

Fig.6 16QAM constellation  
图 6 16QAM 信号的星座图

表 1 QPSK 信号的符号映射

Table1 QPSK symbol mapping

dataIn	phase	I	Q
00	$5\pi/4$	20001	20001
01	$3\pi/4$	20001	1FFFF
11	$\pi/4$	1FFFF	1FFFF
10	$7\pi/4$	1FFFF	20001

### 3.3 系统时钟设计

FPGA 的输入参考时钟信号(100 MHz)由晶振给出，该时钟信号经 DCM 处理后得到品质较好的全局时钟。另外，FPGA 提供 50 MHz 的时钟信号作为 AD9957 的外部参考时钟输入，该时钟信号经 PLL 倍频到 1 GHz 作为 AD9957 的系统时钟。值得注意的是与 AD9957 的 PLL\_LOOP\_FILTER 脚相连的外部锁相环路滤波器需要用户自行设计。AD9957 提供时钟信号 PDCLK 作为数据时钟，AD9957 在此时钟频率下从 FPGA 读入数据并交替送入

I,Q 两路。PDCLK 的频率值可以通过配置 CIC 的插值倍数来设定,它们之间的关系用式(5)表示:

$$f_{PDCLK} = \frac{f_{sysclk}}{2R} \quad (5)$$

式中:  $f_{sysclk}$  为 AD9957 的系统时钟频率;  $R$  为 CIC 滤波器的插值倍数。

#### 4 调试结果

根据设计方案,搭建了高速通用数字调制器的硬件平台,并在此平台上产生了比特速率为 7.936 5 Mbps,中频为 80 MHz 的 QPSK 信号,以及比特速率为 15.873 Mbps,中频为 80 MHz 的 16QAM 信号。用矢量信号分析仪对系统进行测试,测试结果见图 7 和图 8。可以看出, QPSK 信号和 16QAM 信号的实测星座图与理论星座图相符,说明系统能够正确产生所需的信号。两种调制信号的眼图张开较大,有较大的噪声容限, QPSK 信号的噪声容限大于 0.5 V(电压取值范围为  $-0.75\text{ V}\sim+0.75\text{ V}$ ), 16QAM 信号的噪声容限大于 0.16 V(电压取值范围为  $-0.75\text{ V}\sim+0.75\text{ V}$ ),说明成形滤波降低了码间干扰。另外, QPSK 信号的矢量幅度误差(Error Vector Magnitude, EVM)不超过 5%, 相位误差不大于 1.5 deg, 调制误差比(Modulation Error Ratio, MER)为 27.372 dB, I/Q 偏移量(IQ offset)为  $-55.827\text{ dB}$ , 这些调制信号的性能参数值满足通信标准; 16QAM 信号的 EVM 不超过 3.5%; 相位误差不大于 2.1 deg, MER 为 27.528 dB, I/Q 偏移量(IQ offset)为  $-51.776\text{ dB}$ , 这些参数值也都满足通信标准。据此可知,系统实现了 16QAM 调制和 QPSK 调制,得到了性能较好的调制信号。

#### 5 结论

测试结果表明,基于 FPGA 和 AD9957 的高速通用数字调制器的系统方案以及软硬件设计是正确可行的。系统具有开放性、通用性和可扩展性,且结构简单,体积小,能支持多种数字调制方式,码速率和载波频率可调,能够进行基带信号处理得到调制特性更好的中频信号。可以广泛用于测控通信和数据传输等领域,实用价值较高。

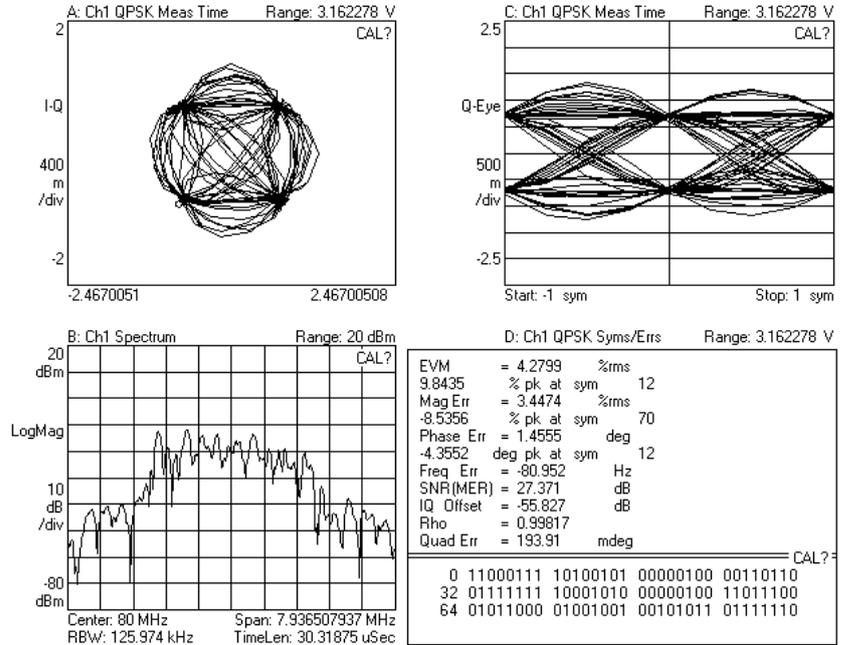


Fig.7 Eye diagram, power spectrum, constellation and index of QPSK

图 7 QPSK 的星座图、眼图、频谱和技术指标

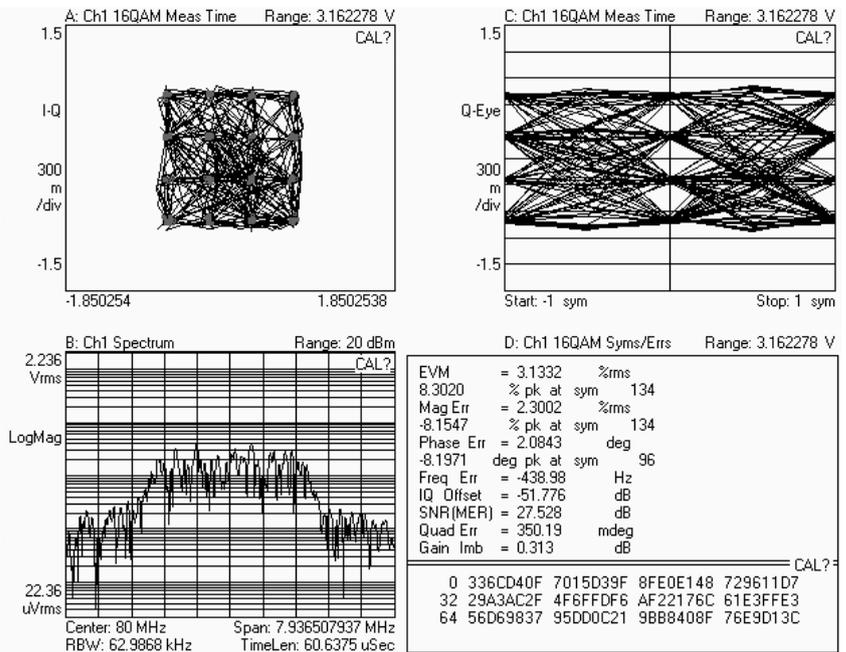


Fig.8 Eye diagram, power spectrum, constellation and index of 16QAM

图 8 16QAM 的星座图、眼图、频谱和技术指标