

文章编号: 1672-2892(2010)02-0123-05

基于 DSP 的 FPGA 动态重构系统研究与设计

范斌, 常青

(北京航空航天大学 电子信息工程学院, 北京 100191)

摘要: 为了提高现场可编程门阵列(FPGA)的资源利用率, 在介绍FPGA重构技术的原理和分类的基础上, 讨论了Virtex-4系列FPGA的配置原理和动态重构的方法, 并设计出数字信号处理器(DSP)配置FPGA的硬件方案来实现可重构系统。FPGA采用SelectMAP配置方式, 实现配置逻辑的快速重构和局部动态重构, 最后根据Virtex-4的配置流程和时序关系, 给出了可重构系统配置的软件流程。经实验测试, 该系统稳定可靠, 可在1 s内完成5 Mbyte配置程序的动态重构。

关键词: 现场可编程门阵列; 数字信号处理器; 动态重构; 部分重构; Virtex-4 芯片; SelectMAP 配置方式

中图分类号: TN431.2; TN402

文献标识码: A

Dynamically reconfigurable system of FPGA based on DSP

FAN Bin, CHANG Qing

(School of Electronic and Information Engineering, Beihang University, Beijing 100191, China)

Abstract: To improve FPGA resource utilization, this study introduced fundamental and classification about dynamically reconfigurable FPGA at first, then the Virtex-4 FPGA configuration theory and two kinds of reconfiguration method were discussed, the hardware design of configuring FPGA with Digital Signal Processor(DSP) was proposed to implement the reconfiguration system. DSP was used to configure and reconfigure this FPGA in a SelectMAP configuration mode. The system could be configured fast and reconfigured partially. Finally the program flow chart of the dynamically reconfigurable system was presented according to procedure and time sequence relation. The experiment results indicated that the system was stable and could reconfigure FPGA with 5 Mbyte/s.

Key words: FPGA; DSP; dynamic reconfiguration; partial reconfiguration; Virtex-4; SelectMAP

由于具有使用灵活方便的特点, 大规模 FPGA 在越来越多的电子产品中得到应用。但目前大部分 FPGA 应用系统均是时序逻辑系统, 其内部各个功能模块并非实时并行工作, 而是依据时间轴分布, 根据系统逻辑功能的要求轮流工作^[1]。实际上, 在这类系统中 FPGA 的资源没有得到充分利用, 而且系统规模越大, 资源利用率越低。因此, 一种新的应用技术——FPGA 动态重构技术被提了出来。FPGA 动态重构技术, 是指对基于 SRAM(Static Random Access Memory)编程的 FPGA, 在系统的切换其全部或部分逻辑资源功能的应用方法。该技术能够提高 FPGA 的资源利用率, 降低系统硬件规模和功耗, 并提升 FPGA 系统的实时处理能力、自适应能力和可靠性。目前在国外, 该技术被广泛应用到很多方面, 例如军事目标匹配、大数运算、声纳波束合成、基因组匹配、图像纹理填充、集成电路的计算机辅助设计等^[2], 然而国内在此方面的设计应用仍然较少, 还需要投入很多的人力物力来取得成效。

1 FPGA 重构技术原理与分类

FPGA 的物理结构决定其是否能够重构。不能重构的 FPGA, 其物理结构基于反熔丝技术, 配置数据具有非易失性, 即编程完成后配置数据始终保存在内部, 不会因为掉电而丢失。而基于 SRAM 编程的 FPGA 是可重构的, 其配置数据在上电时由外部电路写入到 SRAM 中, 电源断开后, SRAM 中的数据将丢失。因此 SRAM 编程

的 FPGA 是易失性的,每次上电 FPGA 都要下载配置数据。

根据 SRAM 的电特性,重构可分成静态重构和动态重构^[3]。前者指系统在一次加电完成 FPGA 要实现的功能后,掉电重新下载新的配置数据以完成不同的功能;后者如图 1 所示,是指对处于工作状态中的 FPGA,通过更改其可重构逻辑来实现其功能的快速切换,重构过程中系统不掉电,仍能保持电路的动态接续。根据重构的面积不同,又可以将动态重构分为全局动态重构和局部动态重构。

1) 全局重构:重构时必须对 FPGA 的全部资源进行重新配置。在全局重构时,中间数据的缓存极为重要,一般采用以下 3 种模式:FPGA 外接 SRAM,在重构前将中间数据存入,重构完成后按照规定好的格式读取;DSP 外接 SRAM,中间数据在重构前被送往 DSP,由 DSP 负责缓存和恢复;FPGA 和 DSP 通过总线复用 SRAM 的硬件结构^[4]进行中间数据的缓存,此方法硬件设计较为复杂。

2) 局部重构:重构时可以只对 FPGA 进行一部分资源的重新配置,而不影响其余部分的工作状态。中间数据量小时,可以直接存储在 FPGA 内部的 RAM,否则进行片外缓存,方式与全局重构相同。

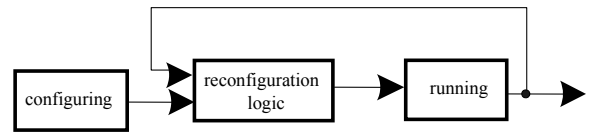


Fig.1 Dynamic reconfiguration
图 1 动态重构

2 FPGA 的配置原理及重构方式

本文设计的 FPGA 动态重构系统,选用了 Xilinx 公司的 Virtex-4 芯片,型号为 XC4VSX55。该 FPGA 是基于查找表实现动态重构的,内部主要包含有可编程逻辑块(Configurable Logic Block, CLB)、输入输出模块(Input/Output Block, IOB)、Block RAM 模块、可级联的嵌入式 XtremeDSP Slice、时钟管理模块(Digital Clock Manager, DCM)等。CLB 是构造用户所需逻辑的功能单元,完成组合逻辑和同步逻辑电路功能,是 FPGA 的核心;IOB 提供封装引脚与内部信号引线的接口;可编程布线资源提供布线通道连接可配置元件的输入和输出到相应的网络;存储在 Block RAM 模块中的数值决定了 FPGA 实现的逻辑功能和互接方式,更改这些数值是实现重构的关键所在,可以通过配置比特流(包含配置命令和配置数据)来实现^[5]。

Virtex-4 FPGA 有 2 种不同的局部重构方式:基于差异(Difference-based)的局部重构和基于模块(Module-based)的局部重构^[6]。基于差异的局部重构只是比较重构前后的电路差别,产生一个只包含重构前后设计差别的比特流,通过重载该比特流实现部分重构。基于模块的局部重构将电路划分成一个个功能模块,这些模块包括可重构模块(可实现重构的特殊区域)和固定模块(功能不变且不能重构的区域),每个模块都是完全独立的,并且只能通过总线宏与自己相邻的模块进行通信。

3 系统实现

3.1 双系统导航接收机设计方案

本文设计的动态局部重构系统是在 COMPASS/GPS(Global Positioning System)高动态双系统导航接收机上实现的,图 2 是导航接收机的系统结构框图。根据接收机的功能要求,系统分为:天线模块、射频模块和中频数字接收机。其中中频数字接收机分为基带信号处理模块、信息处理模块、PRM(Precision Ranging Module)模块、IC(Integrated Circuit)卡模块、电源管理模块。

如图 2 所示,接收机通过天线模块接收 COMPASS 和 GPS 卫星的无线电信号,卫星信号经过射频模块和基带信号处理模块,完成对信号的解调和观测量的实时提取(在 COMPASS 导航系统中还需要通过 IC 卡模块的身份认证和 PRM 模块信息交互完成本地码片的生成),实现对导航电文的提取;然后将卫星信息和观测信息传输至信息处理模块,

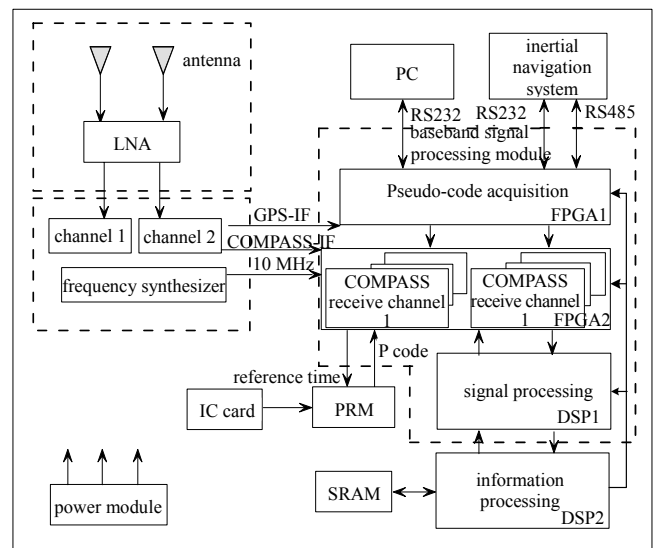


Fig.2 Block diagram of double-system navigation receiver
图2 双系统导航接收机结构框图

完成对当前观测时刻的位置信息、速度信息和授时信息的解算以及完好性监测;并进行捕获跟踪层次的惯导信息融合、原始观测量层次和位置速度层次的惯导信息融合。

在基带信号处理单元中,捕获模块被划分为 GPS 的 C 码捕获模块、COMPASS 的 C 码捕获模块和 COMPASS 的 P 码捕获模块 3 部分。前两个模块可并行工作,相互间无数据传输,且均可与第 3 个模块串行工作,因此系统采用基于模块的方式进行重构,并按照如下流程捕获卫星信号:

- 1) 在没有任何先验时间信息的情况下,接收机首先将捕获模块配置成 GPS 的 C 码捕获模块;
- 2) 完成 GPS 的 C 码捕获和跟踪;
- 3) 从电文中提取时间信息预置给本地 RTC(Real Time Clock),并将信息发送至信息处理模块缓存;

4) 向信息处理 DSP 发送重构允许指令,将捕获模块重构为 COMPASS 的 P 码捕获模块,此后接收机跟踪 P 码,利用其电文和观测量进行定位解算。

在该过程中,如果 GPS 的 C 码受干扰、欺骗或不可用时,未检测到信号则向信息处理 DSP 发送捕获失败代码,此时先将捕获模块重构为 COMPASS 的 C 码捕获模块,完成 COMPASS 的 C 码捕获和跟踪,其后过程同步步骤 3),4)。

3.2 系统硬件结构

本文设计的动态局部重构系统由 DSP(TMS320C6416),FPGA1,FPGA2 和存储器(FLASH)构成,图 3 是系统设计原理框图。其中 FPGA 完成基带信号处理,DSP 完成信息处理和 FPGA 配置控制,FLASH 存储器容量为 32 M×32 bit,用于 DSP 的上电引导和存放多个 FPGA 重构配置文件。

对 Virtex-4 芯片的配置是通过专用引脚下载比特流到内部 RAM 来实现的,具体的配置模式有主串、从串、主 SelectMAP、从 SelectMAP8、从 SelectMAP32 和 JTAG(Joint Test Action Group)/边界扫描模式^[7]。对于可重构系统来说,最关注的是系统的重构速度,即重构时间的长短。对于硬件系统设计而言,节约硬件成本是另一个较为关注的问题。串行和 JTAG 方式在每个时钟向 FPGA 内部传入 1 bit 数据,速度远慢于并行方式。而主/从 SelectMAP32 方式数据总线高达 32 bit,不利于 PCB(Printed Circuit Board)布线,因而系统采用从 SelectMAP8 配置方式,在每个配置时钟 CCLK 的上升沿向 FPGA 内部传入 8 bit 配置数据。

图 3 给出了 DSP 采用从 SelectMAP8 方式配置 FPGA 时的信号连接关系,其中 BUSY 只有当配置时钟 CCLK 频率超过 50 MHz 时才是必须的。

相对于一般的 FPGA 硬件系统,本动态重构系统节约了 2 片配置 FPGA 所需的专用程序存储芯片,同时由于利用系统中进行信息处理的 DSP 对 FPGA 进行配置,亦节约了目前构建该类系统中为配置 FPGA 而专门设计的 CPLD(Complex Programmable Logic Device)或单片机等控制用硬件,减少了系统硬件组成,降低了成本。DSP 配置 FPGA 时采用的总线方式连接更使系统具有了良好的扩展性,当需要扩展 FPGA 时,只需要 DSP 提供额外的片选信号,FPGA 的控制和数据信号并联到 DSP 总线上即可,如同图 2 中 FPGA1/2。

需要说明的是,应用动态重构系统的目的是为了降低 FPGA 的使用数量。例如,假设某系统需要消耗的 FPGA 资源是 1 000 个 slice,而 FPGA 本身仅有 300 个 slice,则需要 4 个 FPGA 才能完成系统功能;如果对程序进行模块划分,能够将程序变为 4 个串行的子程序,每个子程序的资源消耗不超过 300 个 slice,那么通过动态重构,需 1 个 FPGA 即可实现系统功能。同时 DSP 的投入并非一定,本系统中 DSP 的主要功用是完成信息处理,FPGA 动态重构仅为兼容功能。如果系统无需进行大量的信息处理,则可使用与 DSP 具有相同数据和地址总线的单片机来完成 FPGA 的动态重构,将大大降低成本和设计复杂度。

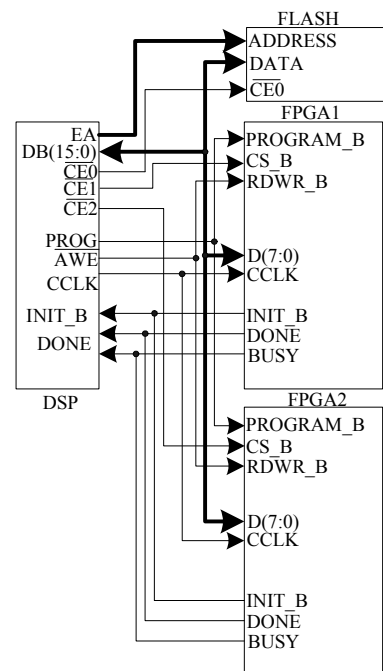


Fig.3 Functional block diagram of reconfigurable system
图3 可重构系统设计原理框图

3.3 配置软件设计

根据不同的外部设置和 FLASH 中存储的多个 FPGA 配置文件,本动态重构系统使用 DSP 进行配置时可根据需要,不仅能够实现 FPGA 静态重构,而且可以实现全局或局部重构,给软件设计带来了极大的灵活性,充分体现了灵活运用 FPGA 的设计理念。

上电后, DSP 首先完成系统的初始化。其过程包括 DSP 程序自举→DSP 内部寄存器初始化→硬件自检→FPGA 复位→FPGA 参数设定→FPGA 数据配置和 CRC(Cyclic Redundancy Check)校验→系统任务运行。设计时将 FPGA 配置程序作为 DSP 第一个任务以保证开机后 FPGA 的首先加载。DSP 作为配置控制芯片,按照图 4 所示的流程完成整个配置过程的控制,包括 FPGA 复位、FPGA 参数设定、FPGA 数据配置

和 CRC 校验,程序须根据 DSP 与 FPGA 通信信号线的时序要求设计(详细配置流程和配置过程中各信号时序关系可参考 Xilinx 公司的 datasheet^[8])。

DSP 配置 FPGA 过程如下:

- 1) DSP 置低 CE1 和 AWE 信号,并置低 FPGA 的 PROGRAM_B(PROG)管脚 300 ns 以清除 FPGA 的配置存储器。这段时间 FPGA 除了专用配置引脚和 JTAG 引脚,其它 I/O 引脚均为高阻态;
- 2) 置高 PROG 管脚,此时 FPGA 采样模式选择引脚(M0,M1,M2)以确定配置方式;
- 3) DSP 检测 INIT_B 管脚,如果为 0 则持续监测,如果为 1 则开始发送配置数据;
- 4) DSP 根据需要确定配置文件的起始地址,读取 FLASH 中的配置文件,并将配置数据在 CCLK 的上升沿时输出至 D(7:0),直至配置文件完全发送;
- 5) 所有配置数据载入完毕后, DSP 产生 1 条 CRC 校验指令。此时 FPGA 进行 CRC 校验,正确则进入启动阶段, DONE 信号变高;如果 CRC 校验不正确,拉低 INIT_B;
- 6) DSP 检测到 DONE 为 1,则结束配置程序;
- 7) DSP 未检测到 DONE 为 1,而是检测到 INIT_B 为 1,则复位配置程序,并将 FPGA 的 PROGRAM_B(PROG)管脚再次拉低,重新开始配置。

上述流程是 DSP 对 FPGA 进行全局重构的完整过程,如果要进行在系统的 FPGA 动态局部重构,其流程与图 4 相同,区别之处在于重构的第 1 步只需要置低 CE1 和 AWE,而保持 PROGRAM_B(PROG)信号为高电平。

3.4 重构系统性能测试与分析

在本系统中,采用基于模块的方式来重构 FPGA。如果不使用动态重构技术,实现完整电路功能的 FPGA 文件大小为: 1 458 byte,192 byte,而重构模块的配置比特流文件大小仅为: 302 byte,173 byte,由此可见使用普通方法下载的文件大小是使用部分动态重构方法的 4.83 倍。DSP 采用 10 MHz 的频率读取 FLASH 数据以及给 FPGA 配置数据,完成 FPGA 的 1 次全部配置时间约为 292 ms,而完成 1 次动态重构的时间大约需要 61 ms。可见 FPGA 部分重构比全局重构所需的时间要少很多,充分体现了电路功能切换的快速性。测试表明,本重构方法稳定可靠,性能良好。

系统采用动态重构技术后, FPGA 的资源占用率从 90%左右下降至 55%~60%,符合 FPGA 要可靠稳定工作其资源占用率不应超过 70%的要求,提高了系统的稳定度。同时 FPGA 可重构系统在配置时可自动避让芯片内部损害部分,资源占用率的下降,提供了更多的片内冗余,延长了 FPGA 芯片的使用寿命,提高了系统的可靠性。

实际配置过程中,配置时间由 FLASH 的读取时间和配置数据输入的建立时间决定。由于 FLASH 的读取速度较低,其读取时间远大于配置时间,因此它是决定配置时间的主要因素。目前,FLASH 的随机读取时间约为 70 ns~90 ns,因此本系统的最大配置频率在 5 MHz 左右,这也决定了原来以流水线操作方式运行的程序,会因为重构配置时间的影响而带来系统滞后,降低系统的处理性能,例如重构 1 Mbyte 大小的模块,会给系统带来 0.2 s 的延迟。因此在设计时应预先考虑到配置时间带来的延迟是否可以容忍,否则该系统不适合采用动态重构技术。

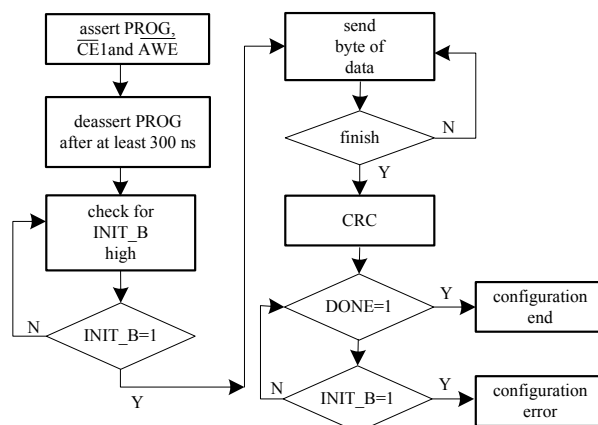


Fig.4 Configuration flowchart
图4 DSP配置FPGA流程图

4 结论

目前国际上对于可重构技术的研究广为开展,本文介绍了一种基于 DSP 的 FPGA 动态可重构系统。本系统以 Virtex-4 芯片 XC4VSX55 和 TMS320C6416 为配置构建硬件平台实现动态重构技术,在具有小型化、集成化和高可靠性的同时,减少了设计风险,降低了系统成本,缩短了研制周期,提高了硬件的利用率,可以在航天、雷达、导航等多种领域中发挥其优势,构成动态可重构数字处理系统、容错系统、自适应进化系统等,具有极强的竞争能力。

参考文献:

- [1] 朱明程. FPGA 动态可重构技术及其应用[J]. 电子产品世界, 2000(6):13-14.
- [2] 谷奎,徐贵力,王友仁. FPGA 动态可重构理论及其研究进展[J]. 计算机测量与控制, 2007,15(11):1415-1418.
- [3] 覃祥菊,朱明程,张太溢,等. FPGA 动态可重构技术原理及实现方法分析[J]. 电子器件, 2004,27(2):277-282.
- [4] 陈松柏,周进. 基于 DSP+FPGA 的多目标实时检测系统设计[J]. 信息与电子工程, 2007,5(1):22-25.
- [5] Xilinx,Inc. ug071 Virtex-4 FPGA Configuration User Guide[EB/OL]. (2004-08-02) [2009-06-09]. <http://www.xilinx.com>.
- [6] Xilinx,Inc. XAPP290 Difference-Based Partial Reconfiguration[EB/OL]. (2002-05-17) [2007-12-03]. <http://www.xilinx.com>.
- [7] 李俊,白武奇,杨家玮. Virtex-4 FPGA 配置浅析[J]. 技术前沿, 2008,10(1):69-72.
- [8] Xilinx,Inc. XAPP502 Using a Microprocessor to Configure Xilinx FPGAs via Slave Serial or SelectMap Mode[EB/OL]. (2001-12-03) [2009-07-08]. <http://www.xilinx.com>.

作者简介:



范 斌(1978-),男,江苏通州人,在读硕士研究生,主要研究方向为嵌入式系统硬件设计和实时信号处理,email:mihu_fan@163.com.

常 青(1962-),男,天津市人,博士,教授,博士生导师,主要研究方向为信息传输与处理、卫星导航、数模混合集成电路设计。

四川省电子学会曙光分会第十五届学术年会 第四届全国信息与电子工程学术交流会 征文通知

各团体会员单位、各位理事:

四川省电子学会曙光分会初定在 2010 年 9 月或 10 月召开第十五届学术年会。本届年会将与第四届“全国信息与电子工程学术交流会”合并举行,由四川省电子学会和四川省电子学会曙光分会、院科协联合主办,中国工程物理研究院电子工程研究所科协和《信息与电子工程》编辑部联合承办。学术年会主要内容包括:大会特邀学术报告、分会场学术交流、参观国家级重点实验室及相关考察等。会议期间还将召开《信息与电子工程》第三届编委会全体会议,听取编辑部工作汇报及商讨如何进一步办好《信息与电子工程》期刊有关事宜。请曙光分会全体理事、《信息与电子工程》编委会成员组织好本单位人员踊跃撰写论文积极参加会议。

现将有关征文事项通知如下:

一、征文内容

信息工程技术;传感器技术;自动控制技术与自动测试;高功率微波技术;雷达工程与天线技术;电子测量与仪器技术;无线电测控通信技术;核电子学与物理电子学;微电子与微机电技术;高能电子学;引信技术;高压电子学;通信与电子系统;计算机开发与应用;其它电子技术

二、征文要求

1. 本年会学术论文属于公开论文,在会上评出的优秀论文和论文集将送至四川省电子学会参加评奖,投稿的论文不得涉及国家秘密,并应该是未在院级以上学术会议及学术刊物上公开发表过的论文。

2. 院内各单位的论文必须经所在单位技术负责人进行技术保密审查,并附上由院统一印制的、本单位保密委员会盖章的“国内外科技交流、宣传报道保密审查表”。如有违反,其后果由作者本人负责。其他单位论文,按所在单位保密规定办理,文责自负。

(下转第 133 页)