

文章编号: 1672-2892(2010)06-0687-05

## 实时多波门图像归一化相关算法的设计与实现

刘建高<sup>1,2</sup>, 高升久<sup>2</sup>, 冉欢欢<sup>2</sup>

(1.电子科技大学 光电信息学院, 四川 成都 610054; 2.西南技术物理研究所, 四川 成都 610041)

**摘要:** 大模板、多波门的相关算法在图像信噪比低、重复模式较多的情况下具有稳定性好、解算精度高的优点, 因此其在视场运动分析应用中倍受关注。本文针对大模板、多波门相关运算实时性的问题, 提出了一种并行流水运算结构。该结构能够完成对 ITU656 数字视频码流进行  $32 \times 32$  的模板实时归一化相关运算, 依据当前码流在图像中的位置信息, 实时切换模板, 实现多波门搜索。实验结果表明, 该结构相关运算仅延迟  $1.04 \mu\text{s}$ , 有效地解决了运算实时性问题。

**关键词:** 视场运动分析; 归一化图形相关; 多波门搜索; 并行运算; 现场可编程逻辑门阵列  
**中图分类号:** TN911.73 **文献标识码:** A

## Design and realization of real-time multi-range-gate image normalized relation arithmetic

LIU Jian-gao<sup>1,2</sup>, GAO Sheng-jiu<sup>2</sup>, RAN Huan-huan<sup>2</sup>

(1.College of Optic-Electric & Information, UESTC, Chengdu Sichuan 610054, China;

2.Southwest Institute of Technology Physics, Chengdu Sichuan 610041, China)

**Abstract:** Large templates and multi-range-gate relation arithmetic is highlighted in the application of purview movement analysis due to its excellent stability and accurate calculation under the situation of low Signal to Noise Ratio(SNR) and with more models in image. Aiming at real-timing requirement of large templates and multi-range-gate relation calculation, this article presents a kind of parallel pipelining calculating structure. The structure can calculate normalized relation using the template as large as  $32 \times 32$  in real time when inputted in digital video coding of ITU656. Meanwhile the structure can change the templates in real time according to the position information of the image in the video coding to realize multi-range-gate searching. The results of experiments show that the structure of relation calculation has resolved the real time problem effectively just with a delay of  $1.04 \mu\text{s}$ .

**Key words:** analysis of purview movement; normalized image relation; multi-range-gate searching; parallel calculating; FPGA

随着现代电子技术的发展, 精确制导武器在战争中的作用受到了各国的重视<sup>[1]</sup>。精确制导技术的前提是对打击目标实现稳定、精确跟踪, 然而当前并没有一种算法可以克服精确制导武器从远距跟踪到击中目标前的视场变化和目标变化带来的困难。视场运动的分析结果, 可用来估计静止目标的位置, 对修正静止目标跟踪误差有重要意义。目前由于运算能力的限制, 视场运动判别主要采用视场中特征点<sup>[2]</sup>(如角点)的运动或者小模板(如  $5 \times 5$  大小)的多波门相关运算。特征点法在图像信噪比较低或类似特征点较多时, 容易发生误判。小模板相关运算由于难以选到有合适特征的模板或图像的相关峰不明显等问题, 在图像纹理复杂、重复模式较多的情况下容易出现多峰, 稳定性较差, 而大模板相关跟踪由于具有对复杂背景下的目标的适应性, 在视场运动分析中倍受关注。相关在物理意义上具有最大程度上利用匹配模板有效信息的特点, 在复杂背景下可获得非常尖锐的相关峰, 因此具有较高的跟踪精度<sup>[3]</sup>。在进行相关跟踪运算时, 匹配模板大小的选取不仅会影响跟踪算法的运算量, 而且会影响跟踪算法的可靠性。越大的模板跟踪精度越高, 但同时也大幅度增加完成跟踪算法的运算量, 给跟踪算法的实现带来非常大的困难, 如, 文献[4]中提到的快速归一化相关匹配方法, 对  $720 \times 576$  的图像进行  $32 \times 40$  的模板搜索需要  $4.95 \text{ s}$ ; 文献[5]中实现模板大小为  $50 \times 50$  的归一化相关需要  $12.6 \text{ s}$ 。本文针对视频跟踪应用需求, 设计了一种归

一化相关的并行运算结构,该结构采用全流水线的运算结构,对整个视场范围内 8 个波门,每个波门用各自的  $32 \times 32$  大小的模板进行实时相关运算。

## 1 图像归一化相关原理

假设模板矩阵  $A$  的大小为:  $M \times N$ ,  $a_{i,j}$  ( $0 \leq i \leq M-1, 0 \leq j \leq N-1$ ) 是模板矩阵  $A$  上坐标点为  $(i,j)$  的元素,  $B_{k,h}$  是图像矩阵  $B$  中与  $A$  矩阵大小相同,起始位置为  $(k,h)$  的相关子矩阵。矩阵  $A$  与视频图像的矩阵  $B_{k,h}$  互相关运算如式(1)<sup>[6]</sup>所示:

$$R_{k,h} = \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} a_{i,j} b_{k+i,h+j} \quad (1)$$

式中  $b_{k+i,h+j}$  是相关子矩阵  $B_{k,h}$  中位置为  $(i,j)$  的元素。由式(1)可知,每计算一个相关窗口的互相关值需要进行  $M \times N$  次乘法运算,  $M \times N-1$  次加法运算,且算法容易受图像亮度变化的干扰。为了抑制亮度干扰,采用归一化的相关算法,如式(2)<sup>[6]</sup>所示:

$$R_{k,h} = \frac{\sum_{i=0}^{M-1} \sum_{j=0}^{N-1} a_{i,j} b_{k+i,h+j}}{\left( \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} b_{k+i,h+j}^2 \right)^{\frac{1}{2}}} \quad (2)$$

这种算法能够有效抑制亮度干扰,增强算法对图像亮度变化的适应能力。但是每获得 1 个像素的相关结果,需要增加  $M \times N$  次乘法运算,  $M \times N-1$  加法运算, 1 次开方运算以及 1 次除法运算。如,采用像素传输速率为 13.5 MHz 的逐行倒相扫描(Phase Alteration Line, PAL)制数字图像<sup>[7]</sup>,用  $32 \times 32$  模板归一化相关算法计算出全视场多波门相关系数矩阵  $R$ ,仅每秒钟需要完成的乘法数量就在 13 G 次以上,无法使用传统单片 DSP 实现,若采用多片级连方式,不仅大幅提高成本,而且增加跟踪系统的体积、能耗与质量,严重影响精确制导武器的射程和有效载荷。因此在 FPGA 或专用集成电路上用并行硬件运算结构实现,在成本和性能方面均有明显的优越性。

## 2 相关器结构介绍

目前高端 FPGA 集成了高密度可编程资源、大量同步存储器和 DSP 核,可构建成性能突出的并行数据处理结构。本文中相关器的基本设计思想是将式(2)中各个运算源数据存储在 FPGA 内部的随机读取存储器中,依据运算需要将数据输出到 FPGA 内部的 DSP 核进行高速处理。PAL 制电视制导方案一般采用场转移摄像头,供识别的图像数据矩阵的大小为  $720 \times 288$ ,像素间纵横显示距离约为 1.875:1。为平衡电视图像纵横方向的分辨能力,相关运算前将每场的图像数据矩阵作 2:1 的横向预压缩。

本运算结构设计的相关器总体结构如图 1 所示,包含 6 个模块,图中实线箭头表示数据流,虚线箭头表示控制信息。

**实时图像存储模块:**该模块内含有 32 个 512 Byte 双口 RAM,检测当前 ITU656 码流序列,将有效图像数据按图像位置依次存入双口 RAM 阵列。双口 RAM 阵列的输出端口与相关运算模块相连,为相关运算提供 32 路实时图像数据,同时为模板存储更新模块等提供当前像素位置、亮度信息。

**相关运算模块:**该模块主要包含 2 套乘加操作阵列:阵列一执行式(2)分子部分的乘加操作,即模板—实时图像窗口 0 阶互相关运算;阵列二执行式(2)分母部分的乘加操作,即实时图像窗口 0 阶自相关运算。

**归一化计算模块:**该模块先将相关运算机构计算得到的实时图像窗口 0 阶自相关运算结果进行开方运算,然后将 0 阶互相关运算结果与开方后结果相除,得到归一化相关结果。

**模板存储更新模块:**该模块根据当前码流的图像位置与预设模板位置的距离,来控制存储模板的操作。为了防止相关运算过程中模板被修改,该模块内置了 2 套 RAM 阵列,一套用于存储模板,另一套用于相关运算时模板输出。2 套 RAM 阵列之间有高速并行数据链路,在相关运算间隙期间转移数据。

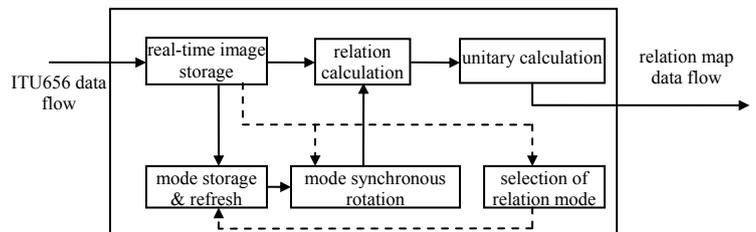


Fig.1 Basal structure diagram

图 1 总体结构框图

模板同步旋转模块: 使用 32 个双端口 RAM 对实时图像进行滚动存储, 同一时刻只存储运算所需的 32 行图像, 减少算法结构对于 RAM 的需求量。由于实时图像的存储具有滚动特性, 根据式(2)计算  $R_{k,h}$  时, 模板也进行相应的滚动。模板存储 RAM 阵列存储的模板不能直接在 RAM 间进行滚动转移, 因此在模板输出后增加了一个受控于实时图像存储模块的模板纵向滚动模块, 以确保模板图像在相关运算时进行了相应滚动。

相关运算模板选择模块: 该模块接收来自实时图像存储模块的当前像素在图像中的位置信息, 然后根据位置信息计算相关所选用的模板。

### 3 关键模块设计介绍

相关器每滑动 1 次窗口, 需要进行  $32 \times 32 \times 2$  次乘法运算, 需要输入  $32 \times 32 \times 2$  Byte 数据。因此, 相关设计主要解决以下 2 个问题: 1) 运算能力; 2) 相关器数据传输带宽。相关模块和模板同步旋转模块对解决这 2 个问题尤为关键。下文将详细叙述关于这 2 个关键模块的设计。

#### 3.1 相关模块计算阵列设计

若采用单处理器解决问题, 它的处理速度至少要达到 13.824 GHz, 总线宽带也将达到 13.824 GHz, 这个指标在目前还无法实现。若使用数据流时钟进行全并行处理, 将需要  $32 \times 32 \times 2$  个乘法器, 消耗过大, 以至单个 FPGA 难以完成<sup>[8]</sup>。针对运算能力及带宽需求问题, 根据 FPGA 的结构特点, 本文采用并行运算与高速串行运算相结合的方案, 选用 2 组如图 2 所示的乘累加结构, 每组 32 个, 分别进行互相关、自相关的乘累加运算。图 2 中乘法器、加法器、数据选择器、状态机以及寄存器均以 216 MHz(6.75 × 32)的速度运行, 相关窗口每移动 1 次, 2 组乘累加结构完成  $32 \times 32 \times 2$  次乘法和大部分加法运算。为了与相关器接口相匹配, 图像实时存储模块和模板存储模块都采用 32 个 RAM 的设计方案。乘法器所用的时钟由 ITU656 数据流配套的 27 MHz 时钟经 FPGA 内置锁相环产生, 保证数据吞吐与运算步调的正确性。

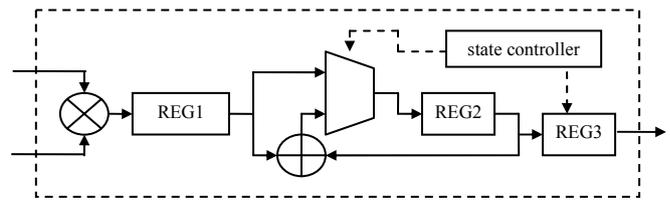


Fig.2 Product accumulation structure  
图 2 乘累加结构

自相关运算与互相关运算, 都由乘加操作实现, 区别是自相关运算的乘法器使用的是同源数据, 互相关运算使用的是非同源数据。本方案中互相关运算采用图 2 所示的乘累加结构, 功能是每滑动 1 次相关窗口时, 将输入的 32 对模板——实时图像数据的相乘结果累加起来, 最后以 6.75 MHz 的速率输出运算结果。图中 REG1 是 16 bit 的寄存器, 用来暂存 8 bit 乘法器的结果; REG2 是 21 bit 寄存器, 存储结果受控于状态控制器, 当相关窗口的起始数据相乘结果到达时, REG2 存储 REG1 的数据, 其它时间存储的结果为它上一周期的存储数据与 REG1 存储的数据之和; REG3 同样受控于状态控制器, 当 REG2 将 32 个相乘结果累加完毕时, REG3 从 REG2 中取走乘累加和。当相关窗口的起始位置滑动到图像矩阵  $B$  的第  $k$  行, 第  $h$  列时, 第  $i$  个乘累加器输出的结果如式(3)所示:

$$R'_{k,h,i} = \sum_{j=0}^{31} a_{i,j} b_{k+i,h+j} \tag{3}$$

乘累加器之后, 有运行速度为 6.75 MHz 的加法流水线, 对 32 个乘累加器的结果进行求和, 最后输出结果如式(4)所示:

$$R''_{k,h} = \sum_{i=0}^{31} R'_{k,h,i} = \sum_{i=0}^{31} \sum_{j=0}^{31} a_{i,j} b_{k+i,h+j} \tag{4}$$

在进行 0 阶自相关运算时, 乘法器只进行平方运算。因此在图 2 所示结构中, 2 个乘法器接到同一模板输出存储器的输出端。当乘法器资源比较紧张时, 像素亮度数值只有 8 位位宽, 可用存储深度为 256 的单周期 ROM 平方表替代乘法器进行平方运算。

#### 3.2 模板输出旋转设计

实时图像在存储时会出现图像滚动的现象, 因此模板送往相关器时也必须做相应的滚动调整, 该操作意味着在极短的时间内交换大量的数据。模板滚动调整可用 2 个方案实现: 1) 使用  $32 \times 32$  个 8 bit 寄存器组成阵列缓存模板, 利用寄存器扇出比 RAM 宽的优点, 可自由地根据需要做横向或者纵向滚动。但是这个方案对 FPGA 的逻辑资源消耗太大, 仅该旋转机构 1 项, 就需要 8 192 个寄存器, 占用 EP2S90 11%左右的资源。2) 使用如图 3

所示的单周期受控桶形移位寄存器结构。该桶形移位寄存器的右侧第  $i$  个寄存器下个时钟周期的存储的数据内容如式(5):

$$\text{REG}(i)' = \text{REG}[(i + 31 - \text{CON}) \bmod 32] \quad (5)$$

式中 CON 为旋转幅度控制字, 大小为实时图像存储模块中当前写入 RAM 的阵列序号。

该桶形移位寄存器结构输入与输出各使用了 32 个 8 bit 寄存器, 共  $32 \times 8 \times 2$  个 D 触发器, 节省大量逻辑资源, 然而每个输入 D 触发器扇出达到 32 路, 使数据可以到达每个输出 D 触发器, 每个输出 D 触发器的扇入也达到 32 路, 可以接收任何一路输入数据。受控数据交换网所需的高速数据传输线路达到  $32 \times 8 \times 32$  条, 使得 FPGA 局部布线困难, 实际布线后最高速度仅为 140 MHz, 远低于 216 MHz 的需求。最终的解决方案采用了 2 个图像旋转机构, 一个对奇数列模板执行旋转操作, 另一个对偶数列模板执行旋转操作, 2 个旋转机构都以 108 MHz 的速度运行。为了与 2 个旋转机构相匹配, 模板输出 RAM 设计为 3 端口 RAM, 其中 2 个端口为输出端口, 1 个端口输出奇数列图像, 另 1 个端口输出偶数列图像。2 个旋转机构输出图像经过串并操作, 合并后以 216 MHz 的速度输出模板数据。图 4 为 SIGNAL-TAP 工具采集到的进入图形相关器原始数据, 经 MATLAB 的 imtool 工具显示出来的图像。其中上半部分 32 行图像为模板图像, 下半部分 32 行图像为实时图像, 2 组图像都进行了同等幅度的纵向滚动。这幅图像是以一行图像的行正程起始时刻为条件进行捕获的, 由左至右观察实时图像, 可以发现行消隐部分在相关窗口中占有的部分越来越少, 直至完全滑出窗口。而在模板图像部分, 靠近左边界的 8 列图像中, 每 2 列就出现了 1 次重复, 原因是在行正程起始时, 实时图像还不够相关运算的列数时, 模板地址计数没有启动, 2 个模板旋转机构分别得到了模板的第 0 列和第 1 列图像, 并串输出就形成了左边 8 列重复的模板图像。根据图 4, 可以判断进入相关器数据的时序完全正确。

#### 4 实验结果

由于该算法结构中开方与除法采用的是定点运算, 相关结果要略差于基于浮点数的运算仿真。在正常光照情况下, 归一化因子开方后数值一般在 400~500 左右, 定点开方误差最大为 1, 定点除法使误差扩大最多一倍, 因此, 相关数值的运算误差不会超过 0.5%, 在工程上能够满足需要。图 5 中大图是 2 个波门内的原始图像, 2 个小图是 2 个波门采用的模板, 图 6 显示的是 2 个波门分别采用各个的模板进行归一化相关形成的相关曲面。曲面中左右分布 2 个明显的相关峰, 相关曲面数据传输给 DSP 后, DSP 能方便地搜索出相关峰的位置, 从而确定模板在实时图像中的位置。2 个相关峰中间, 存在一条上下走向的脊线, 这条脊线就是 2 个波门的分界线。在如式(2)的归一化相关计算中, 并没有对模板的能量进行归一化运算, 模板本身的直流分量就会体现在最终的结果中, 不同波门的相关曲面由于模板本身直流分量区别而有较大的区别, 很难在同一幅图中显示。图 5 中模板直流分量较为接近, 所以其相关曲面也较接近。

#### 5 结论

由于采用了全流水硬件运算结构, 相关结果的输出仅延迟了 7 个像素(1.04  $\mu\text{s}$ ), 是软件相关的秒级延迟所无

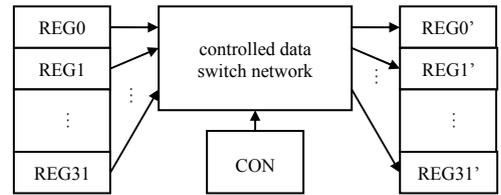


Fig.3 Structure of controlled barrel shift register  
图 3 受控桶形移位寄存器结构



Fig.4 Primal image collected from the input ports of relation computer  
图 4 采集到的相关器输入原始图像



Fig.5 Real image and templates of two range-gates  
图 5 2 个波门的原始图像及其模板

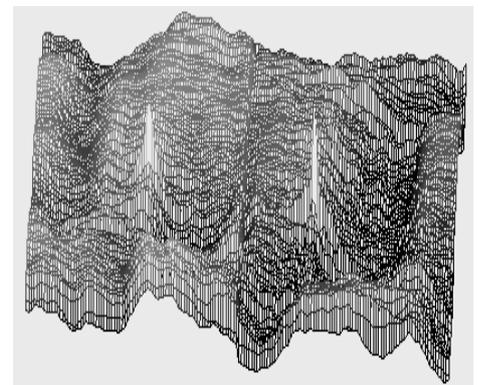


Fig.6 Relative-graph of two range-gates  
图 6 2 个波门的相关曲面

法比拟的。在实际工程应用中,全视场相关曲面矩阵  $R$  的大小为  $(360-32) \times (288-32)$ , 实时传输给 ADI 公司的 TIGER-SHARC 系列 DSP: TS201 进行处理。TS201 的正常运行频率为 500 MHz, 其片内 RAM 达 24 Mb, 能同时存储实时图像矩阵  $B$  与相关曲面矩阵  $R$ 。相关峰值搜索运算时, TS201 可在每个周期完成一次搜索任务, 全视场搜索时间最低可达  $328 \times 256 \times 2 = 167\,936$  ns。TS201 在循环运算时流水线有很高的效率<sup>[9]</sup>, 实际相关峰搜索运算时间不会超过 200  $\mu$ s, 加上后期根据视场运动对目标位置进行仿射变换预测等处理过程, 总耗时 1 ms 左右, 整个运算将在场消隐期内结束, 从而彻底解决了多波门大模块相关运算的实时性问题, 为视场运动分析、图像精确制导提供了一种稳定有力的工具。该算法结构总共使用了 64 个 DSP 核, 229 376 bit RAM, 1 个锁相环, 6 132 个 D 触发器, 分别占到 EP2S90F102014 芯片资源的 17%, 5%, 8%, 8%<sup>[8]</sup>。启用该运算结构后, 系统增加 2.5 W 的功耗, 产生了一定的散热压力。

对该算法结构模板更新部分进行改进, 通过获取活动模板指令, 实现对多目标的快速选取、跟踪功能, 从而增加应用的灵活性; 还可接收来自上位机的模板, 对全视场进行相关搜索, 实现对预定搜索目标的快速空域定位; 利用现有相关器的数据传输结构, 乘法器输入端并联减法器, 再加少量修改就可增添图像减法相关功能, 为视场亮度比较稳定的场合增添一种有效的分析方法。

#### 参考文献:

- [1] 罗淑文, 魏可惠. 制导工具误差对再入参数的影响分析[J]. 信息与电子工程, 2005, 3(2): 101-104.
- [2] 刘芸, 朱苏朋. 一种图像制导中的特征点的识别方法[J]. 宇航学报, 2000, 21(11): 102-106.
- [3] 赵树杰, 赵树勋. 信号检测与估计[M]. 北京: 清华大学出版社, 2005.
- [4] 赵大政, 张庆捷, 李刚, 等. 电视制导系统目标识别算法[J]. 导弹学报, 2008, 1(20): 94-98.
- [5] 陈松柏. 实时的归一化相关匹配算法[J]. 信息与电子工程, 2006, 6(4): 461-463.
- [6] Gonzalez R C, Woods R E. Digital Image Processing[M]. 2nd Edition. Beijing: Electronic industry press, 2002.
- [7] Analog Devices Inc. Adv7181.pdf[Z]. 2005.
- [8] Altera cooperation. Stratix II Device Handbook[Z]. 2005.
- [9] Analog Devices Inc. ADSP-TS201 Tiger-SHARC Processor Hardware Reference[Z]. 2004.

#### 作者简介:



刘建高(1979-), 男, 湖南省邵阳市人, 在读硕士研究生, 研究方向为硬件设计、视频信号处理. email: sejape01@sina.com.

高升久(1964-), 男, 四川省内江市人, 研究员, 主要研究方向为数字信号处理, 嵌入式系统设计.

冉欢欢(1987-), 女, 四川省雅安市人, 在读博士研究生, 主要研究方向为数字信号处理、无线通信系统.