

文章编号: 1672-2892(2012)01-0018-05

LDPC 码在深空通信中的兼容编码技术

孙钰林, 王菊花, 吴增印

(中国空间技术研究院 西安分院, 陕西 西安 710100)

摘 要: 信道编码是提高卫星通信数据传输链路可靠性的关键技术, 空间数据系统咨询委员会(CCSDS)标准推荐了 1 组适用于深空通信的低密度奇偶校验(LDPC)码。针对卫星通信信道的不同需求, 设计了 1 个可以实现 CCSDS 标准中推荐的适于深空通信的所有 LDPC 码编码的兼容编码器, 从而节省星上硬件资源, 提高星载的可靠性和可移植性。利用 VHDL 语言在 FPGA 上实现了该编码器, 通过仿真验证, 表明该编码器在大大节省硬件资源的同时, 能够正确完成编码。

关键词: 空间数据系统咨询委员会; 低密度奇偶校验码; 兼容编码器; FPGA 实现

中图分类号: TN911.22

文献标识码: A

Universal encoder for LDPC codes in deep space communications

SUN Yu-lin, WANG Ju-hua, WU Zeng-yin

(China Academy of Space Technology(Xi'an), Xi'an Shaanxi 710100, China)

Abstract: Channel code is a key technique in satellite communications to improve reliability of lines of communication. The class of Low Density Parity Check(LDPC) codes is recommended by Consultative Committee for Space Data Systems(CCSDS) for application in deep space communication. To meet different requirements of varied space communication channels, a universal encoder that implements all codes in CCSDS is designed. It can save hardware resources and improve intersatellite availability for transplanting. Using VHDL language, the encoder is implemented on FPGA with less resources. The simulation results have verified the correction of the encoder.

Key words: Consultative Committee for Space Data Systems; Low Density Parity Check; general encoder; FPGA implementation

在实际卫星通信系统中, 由于地形、建筑物和天气等因素的影响, 不同时间或不同地点通信环境差别很大。如在晴朗的天气下, 卫星传输信道可认为是加性高斯白噪声信道, 而在雨、雾和多云等天气条件下, 卫星信号传播信道相应发生了变化。因此, 卫星通信系统为了提高信道使用率, 应该设计使用多种性能的信道编码对信号进行保护, 当环境干扰大时, 采用性能较好的信道编码对信号进行保护, 反之则可以采用较低性能的码保护。低密度奇偶校验(LDPC)码^[1]是目前通信系统中一种性能优异的信道编码, 然而 LDPC 码的编码需要耗费很大的硬件资源^[2], 如果 1 个需要 n 种码的通信系统, 其编译码所需要的硬件资源差不多为单个码的 n 倍时, 资源耗费过大, 不易用 FPGA 实现^[3], 没有实用意义, 一些文章也对此问题的某些 LDPC 码进行了研究^[4-7]。本文基于此问题, 针对空间数据系统咨询委员会(CCSDS)标准^[8]推荐的 1 组适用于深空通信的 LDPC 码进行合理设计, 使标准中的 28 种码在同 1 个编码器上实现编码, 在占用合理硬件资源的同时满足卫星通信环境所需要的多种性能码, 从而有效利用星上有限的硬件资源, 节约资源消耗, 降低成本。

1 CCSDS 中适用于深空通信的 LDPC 码

CCSDS 标准推荐的适用于深空通信的 LDPC 码是一种具有准循环结构的 LDPC 码^[7], 共有 4 种码率, 分别为 $1/2, 2/3, 3/4, 4/5$ 。码的校验矩阵由一些块矩阵构成, 各个码率的块矩阵大小 M 均取 7 种不同的值(128, 256, 512, 1 024, 2 048, 4 096, 8 192), 每个块矩阵又由 16 个大小为 $m=M/4$ 的循环矩阵构成, 标准中共包括 28 种码, 各个码的具体参数见表 1(n 为码长, k 为信息比特长度)。

收稿日期: 2011-03-21; 修回日期: 2011-04-15

表 1 各种码的具体参数表
Table 1 Specific parameters of all codes

rate	LDPC(n,k)						
	M=128,m=32	M=256,m=64	M=512,m=128	M=1 024,m=256	M=2 048,m=512	M=4 096,m=1 024	M=8 192,m=2 048
1/2	(512,256)	(1 024,512)	(2 048,1 024)	(4 096,2 048)	(8 192,4 096)	(16 384,8 192)	(32 768,16 384)
2/3	(768,512)	(1 536,1 024)	(3 072,2 048)	(6 144,4 096)	(122 88,8 192)	(24 576,16 384)	(49 152,32 768)
3/4	(1 024,768)	(2 048,1 536)	(4 096,3 072)	(8 192,6 144)	(16 384,12 288)	(32 768,24 576)	(65 536,49 152)
4/5	(1 280,1 024)	(2 560,2 048)	(5 120,4 096)	(1 0240,8 192)	(20 480,16 384)	(40 960,32 768)	(81 920,65 536)

根据标准中相关参数,可以算出该系列码的删余码在不同码率(M 相同)时的兼容结构生成矩阵。本文给出了计算结果,其具有系统循环 SC(Systematic-Circulant)结构,如下所示(其中 $g_{i,j}$ 为 $m \times m$ 的循环矩阵, I 为 $m \times m$ 的单位矩阵, O 为 $m \times m$ 的零矩阵)。

$$G = \begin{bmatrix} I & \dots & O & \dots & O & \dots & O & \dots & O & g_{1,1} & g_{1,2} & \dots & g_{1,8} \\ \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ O & \dots & I & \dots & O & \dots & O & \dots & O & g_{9,1} & g_{9,2} & \dots & g_{9,8} \\ \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ O & \dots & O & \dots & I & \dots & O & \dots & O & g_{17,1} & g_{17,2} & \dots & g_{17,8} \\ \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ O & \dots & O & \dots & O & \dots & I & \dots & O & g_{25,1} & g_{25,2} & \dots & g_{25,8} \\ O & \dots & O & \dots & O & \dots & O & \dots & I & g_{26,1} & g_{26,2} & \dots & g_{26,8} \\ \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ O & \dots & O & \dots & O & \dots & O & \dots & O & g_{32,1} & g_{32,2} & \dots & g_{32,8} \end{bmatrix}$$

$G_{4/5}$
 $G_{3/4}$
 $G_{2/3}$
 $G_{1/2}$

2 通用编码器设计

兼容编码器的总体结构设计框图见图 1,有 4 大模块构成:控制模块、生成矩阵存储模块、校验位计算模块和输出模块。

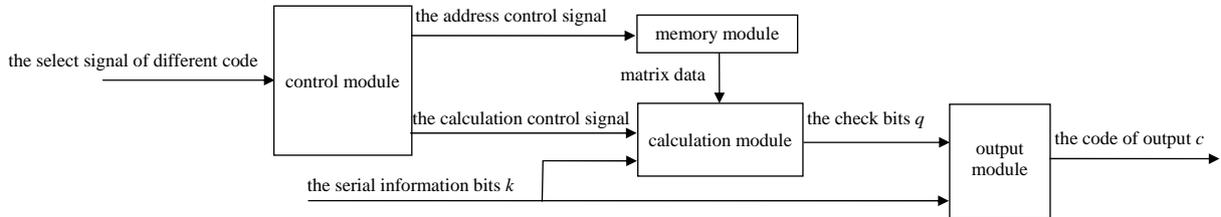


Fig.1 Structural diagram of universal encoder
图 1 编码器的整体结构框图

2.1 生成矩阵存储模块设计方案

本文推算出的兼容生成矩阵,可使 28 种码的编码只需要存储 1 792 个行生成元,有 7 种不同的宽度:32,64,128,256,512,1 024,2 048,分别记为 $g_{i,j}^{32}, g_{i,j}^{64}, g_{i,j}^{128}, g_{i,j}^{256}, g_{i,j}^{512}, g_{i,j}^{1024}, g_{i,j}^{2048}$ ($1 \leq i \leq 32, 1 \leq j \leq 8$), 每种宽度各 256 个。为了保证编码器的速度,该编码器设计用全并行的 SRAA(Shift Register Adder Accumulator)电路^[9],为每个 SRAA 电路配置 1 个单独的 ROM 来存储 1 列生成矩阵生成元,使得所有的循环移位寄存器同时更新数据,所以需用 8 个 ROM。ROM j 存储生成矩阵的第 j 列(7 种不同宽度的行生成元各 32 个),取 ROM 的位宽为 32,可将其分为 7 部分:第 1 部分存储 32 个 $g_{i,j}^{32}$,需 32 个地址;第 2 部分存储 $g_{i,j}^{64}$,需 64 个地址;第 3 部分存储 $g_{i,j}^{128}$,需 128 个地址;第 4 部分存储 32 个 $g_{i,j}^{256}$,需 256 个地址;第 5 部分存储 32 个 $g_{i,j}^{512}$,需 512 个地址;第 6 部分存储 32 个 $g_{i,j}^{1024}$,需 1 024 个地址;第 7 部分存储 32 个 $g_{i,j}^{2048}$,需 2 048 个地址;所以每个 ROM 深度为 $32+32 \times 2+32 \times 4+32 \times 8+32 \times 16+32 \times 32+32 \times 64=4 064$ 。

2.2 控制模块设计

各个码的生成矩阵存储地址各不相同,只有控制模块根据码率、码长选择信号产生相应的地址控制信号,才能从生成矩阵存储模块中读出正确的生成矩阵数据,从而保证不同码率、不同码长的码各自编码,互不干扰。

编码时,控制模块首先要根据矩阵存储模块的设计产生相应正确的初始地址,然后根据不同码的需要,地址信号逐渐增加。当 $M=128$ 的码编码时,读出生成元 $g_{i,j}^{32}$ 只需 1 个地址信号,所以从初始地址开始,经过 32 个时钟周期后完成第 1 个生成元计算,然后地址信号加 1,依此类推;当 $M=256$ 时, $g_{i,j}^{64}$ 需要 2 个地址才能读出,所以在初始地址的基础上加 1,读出第 1 个生成元,经过 64 个时钟周期,地址信号再变化 2 次,读出第 2 个生成元;依次类推,当 $M=8192$ 的码编码时, $g_{i,j}^{2048}$ 占 64 个地址,从初始地址起,地址信号增加 63 次,读出第 1 个生成元,经过 2048 个时钟完成第 1 个生成元的计算后,地址信号增加 64 次,读出第 2 个生成元,重复这个过程,直到完成编码。当地址控制信号根据不同码相应变化的同时,控制模块也要相应产生随着地址控制信号变化而变化的计算控制信号,控制校验位计算模块在合适的时候读数,适当的时候计算,才能计算出正确的校验比特。

2.3 校验位计算模块设计

计算模块选用常用的 SRAA 编码电路,考虑到编码速度,这里用 8 个并行的 SRAA 电路来同时计算校验比特,兼容编码器的 SRAA 电路见图 2。

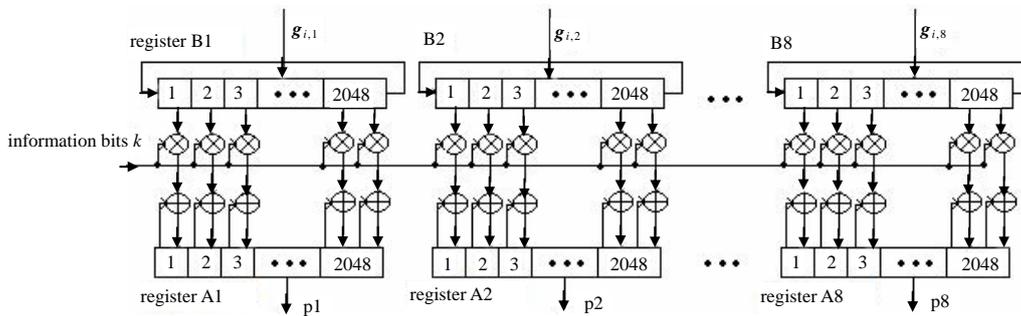


Fig.2 SRAA universal encoder
图2 兼容 SRAA 编码电路

循环块矩阵大小 m 分别为 32,64,128,256,512,1024,2048。兼容编码器能够实现 7 种循环矩阵长度码的编码,寄存器 A 和 B 最多取 2048 个宽度。当 $m=32$ 的码进行编码时, $g_{i,j}^{32}$ 的 32 个比特只需用反馈移位寄存器 B 的 1~32 位置,通过控制信号使循环移位在 1~32 位置上进行。每经过 32 个时钟, B 便输入新的生成向量 $g_{i,j}$,其余编码过程同一般准循环 LDPC 码的编码器相同,直到完成编码。编码结束后,取寄存器 A 中的 1~32 作为校验比特输出;同理当 m 取 $a(a=64,128,256,512,1024,2048)$ 时, $g_{i,j}^a$ 使用寄存器 B 的 1~ a 位置,通过控制信号使循环移位合适的位置上进行。分别经过 a 个时钟完成 1 个块矩阵的计算,然后向 B 中输入新的生成元,依次类推,直到完成所需要块矩阵的计算。编码结束后,取寄存器 A 中的 1~ a 作为校验比特输出。

$g_{i,j}$ 为循环阵 $G_{i,j}$ 的生成元 ($1 \leq j \leq 8$; 对于 $1/2$ 码率 $25 \leq i \leq 32$, 对于 $2/3$ 码率 $17 \leq i \leq 32$, 对于 $3/4$ 码率 $9 \leq i \leq 32$, $4/5$ 码率 $1 \leq i \leq 32$)。 $1/2$ 码率码编码时,将信息比特均分为 8 部分,每部分 m 比特。首先将生成元 $g_{25,j}$ 存入寄存器 B 中与第 1 部分信息比特参与校验计算,经过 m 次移位完成计算后,再将生成元 $g_{26,j}$ 存入与第 2 部分信息比特计算,依此类推, $8m$ 个时钟周期后完成校验比特的计算; $2/3$ 编码则将信息比特分为 16 部分,首先将生成元 $g_{17,j}$ 存入,共要存入 16 次, $16m$ 个时钟周期后完成计算; $3/4$ 编码信息比特分为 24 部分,先将 $g_{9,j}$ 存入,共需存入 24 次,进行 $24m$ 次循环完成校验比特的计算; $4/5$ 编码将信息比特分为 32 部分,首先将 $g_{1,j}$ 存入,共要存入 32 次,进行 $32m$ 次循环才能完成校验比特的计算。

2.4 输出模块

输出模块的功能是正确而有序的输出码字。当信息比特按序列输入时,一方面送入校验位计算模块、校验比特;另一方面直接送入输出模块按序列输出;当信息位全部输入结束后,校验比特恰好全部产生,然后依次输出信息比特。

3 编码器资源消耗分析与比较

QC_LDPC 码编码器硬件资源主要消耗在生成矩阵存储单元和 SRAA 编码电路所占用逻辑资源^[5]这 2 个方面。表 2 给出了 28 种码用单个编码器编码时所需的矩阵存储单元和 SRAA 逻辑资源

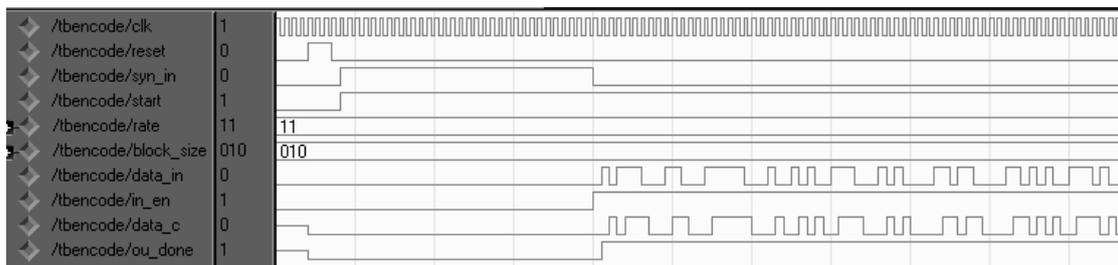
表 2 资源占用情况表
Table 2 Resource consumption analysis

	memory	Flip-flops	Xor gates	And gates
sum	2 600 960	260 096	130 048	130 048
multi	1 040 384	32 768	16 384	16 384

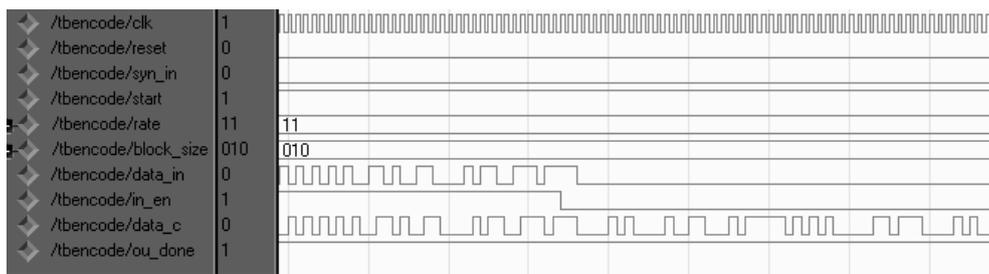
的总和,与本文设计的兼容编码器需要的存储资源和最大所需的逻辑资源的比较。由表 2 中数据可知,兼容编码器占用的生成矩阵存储资源与单个码编码器所需要的存储资源总和相比,仅占总和的 40%,兼容编码器 SRAA 电路占用的 Flip-flops 为各单个编码器需要 Flip-flops 总和的 $32\ 768/260\ 096=12.6\%$,2-输入异或门和 2-输入与门分别为各单个编码器需要 2-输入异或门和 2-输入与门总和的 $16\ 384/130\ 048=12.6\%$ 。可见该兼容编码器充分复用了硬件资源,在实现 28 种码编码的同时,大大节省了存储资源和 SRAA 电路中的逻辑资源。

4 FPGA 仿真与验证

根据本文的设计方案,用 Xilinx 公司的 FPGA 芯片 xc2v6000,在 ISE 仿真工具中用 VHDL 语言编写了该兼容编码器的源程序,由于篇幅所限,只给出兼容编码器在码率为 $1/2, M=512$ 的码(2 048,1 024)编码时 FPGA 实现的 Modelsim 仿真波形图和综合后的资源使用情况。



(a) the first part of Fig.3



(b) the second part of Fig.3

Fig.3 Simulation graph of the universal encoder

图 3 编码器的 Modelsim 仿真图

clk 为时钟; reset 为系统复位信号; syn_in 为同步信号,高电平对应码字的同步头,低电平对应码字; rate 表示码率选择信号,“11”表示码率为 $1/2$; block_size 表示码长选择信号,“010”表示 $M=512, m=128$; in_en 表示信息比特使能信号,高电平有效; data_in 表示输入的信息比特; data_c 表示输出码字,由于该码是系统码,码字由信息比特和校验比特组成,先输出信息比特,见图 3(a),在开始时输出的码字与信息比特完全相同;当信息比特输入完后,校验比特实时生成,紧接着输出校验比特,见图 3(b); ou_done 码字使能信号,高电平时有效。最后将该编码器各个码生成的校验比特与 Matlab 计算结果进行了比较,结果表明两者数据完全相同,证明该编码器工作正常。

图 4 为本文设计的兼容编码器的 FPGA 实现综合结果的资源使用情况,可以看出该编码器占用了合理的存储资源和较少的逻辑资源。

Selected Device : 2v6000ff1152-5			
Number of Slices:	3389	out of 33792	10%
Number of Slice Flip Flops:	5488	out of 67584	8%
Number of 4 input LUTs:	5066	out of 67584	7%
Number of IOs:	13		
Number of bonded IOBs:	13	out of 824	1%
Number of BRAMs:	64	out of 144	44%
Number of GCLKs:	3	out of 16	18%

Fig.4 Resource consumption of the universal encoder

图 4 兼容编码器的资源占用情况

5 结论

本文针对 CCSDS 中适于深空通信的 1 组 LDPC 码,设计了 1 个可以实现不同码率、不同码长共 28 种码编码的兼容编码器,并通过 FPGA 实现验证其在占用适当资源的情况下能正确工作,从而可以为卫星信道的变化信号提供不等程度的保护,此外还可以提高不同卫星任务之间的可移植性,具有一定的实用价值。