文章编号: 1672-2892(2012)04-0412-05

无人机数据链判决反馈均衡器的 FPGA 实现

裴亮锋,陈自力

(军械工程学院 光学与电子工程系,河北 石家庄 050003)

摘 要:从无人机数据链的需求出发,使用现场可编程门阵列(FPGA)实现判决反馈均衡器 (DFE),以消除无人机数据链中的码间干扰。文中利用 System Generator 对判决反馈均衡器进行建 模,将模型转换为硬件,并通过硬件协调仿真在 Xilinx virtex5 XC5VSX50T 芯片上验证。仿真结果 表明,在不同信道条件下,判决反馈均衡器能很好地克服码间干扰,适用于无人机信道。本文为 无人机高速数据链均衡器的实现打下基础。

 关键词:
 判决反馈均衡器;
 无人机数据链;
 现场可编程门阵列;
 System Generator 软件

 中图分类号:
 TN80
 文献标识码:
 A

FPGA implementation of decision feedback equalizer in UAV data link system

PEI Liang-feng, CHEN Zi-li

(Department of Optical and Electronic Engineering, Ordnance Engineering College, Shijiazhuang Hebei 050003, China)

Abstract: Decision Feedback Equalizer(DFE) is implemented by Field Programmable Gate Array, (FPGA) in order to eliminate inter-symbol interference. A model of decision feedback equalizer is built based on System Generator. The model is converted into hardware, and its function is verified through hardware co-simulation on Xilinx virtex5 XC5VSX50T chip. Simulation result shows that the equalizer can overcome inter-symbol interference perfectly under different channel conditions, and is fit for the channel of UAV. This work lays the foundation for the realization of high-speed data link equalizer for UAV.

Key words: Decision Feedback Equalizer; UAV data link; Field Programmable Gate Array; System Generator

无人机系统由无人机和地面导航系统组成。无人机是一种由动力驱动、机上无人驾驶和可重复使用的航空器。 无人机可搭载各种机载设备,执行规定的任务。地面导航系统则主要完成无人机的遥控、遥测和导航。无人机与 地面导航系统通过无线信道进行通信。地面导航系统将飞行控制指令通过无线数据链路传输给无人机,完成无人 机的自动驾驶,此链路一般被称为上行链路。而无人机通过无线数据链路将遥测信息如工作状态、测量数据等传 输给地面导航系统,此链路一般被称为下行链路^[1]。无人机数据链是无人机和地面控制系统通信的桥梁。

无人机数据链传输过程中受到各方面的衰减损失,码间干扰是其中影响正确传输的一个重要因素。为了减小码间干扰,需要对信道进行适当的补偿,以减小误码率,提高通信质量。接收机中能够补偿或减小接收信号的码间干扰的补偿器,就称为均衡器。由于无线通信信道的随机性和时变性,即信道特性是未知的,信道响应是时变的,这要求均衡器必须能够实时地跟踪无线通信信道的时变特性,根据信道响应自动调整补偿器,这种可以自动调整的均衡器被称为自适应均衡器^[2]。现代战争要求对战场环境的把握越来越高,为了满足战场的需求,均衡器就提出了高速、实时、高集成度等要求,FPGA的出现为此要求的硬件实现创造了条件。

1 均衡器的选择

为了解决无人机数据链的码间干扰,需要慎重选择滤波器、均衡算法和类型。滤波器要求是线性的,以便于 数学分析,而且滤波器必须是离散的,使它可以用软件和 FPGA 来实现。滤波器实现时,还必须考虑以下 2 个问题,滤波器的冲激响应的选择和统计优化准则的选择。 滤波器的冲激响应可选择无限长单位冲击响应(Infinite Impulse Response, IIR)或有限长单位冲击响应(Finite Impulse Response, FIR),其中可以将 FIR 看成是 IIR 的一个特例。由于 FIR 滤波器结构中只有前向路径,这使 它具有良好的稳定性; IIR 滤波器却同时使用了前向路径和反馈路径,反馈路径的存在,使得滤波器的输出或其 他中间变量反馈到输入端,若没有经过合理的设计,很容易使滤波器处于不稳定状态,从而导致振荡的产生。

本文以后的工作将着眼于高速均衡的实现,稳定性是必须得到保证的。虽然与 FIR 相比, IIR 要求很少,但 是为了确保稳定性,滤波器的冲激响应选择 FIR。

对优化准则的选择可以采用某种最小代价函数或某个性能指标来衡量。一般选择估计误差的均方值,该代价 函数有一个独特的最小值能唯一地定义滤波器的优化统计设计^[3]。

均衡算法主要有最小均方(Least Mean Square, LMS)算法和递归最小二乘(Recursive Least Square, RLS)算法。 最小均方误差准则是在统计平均的意义上使滤波器输出与期望响应误差的平方最小;而最小二乘准则是对一 组数据而言,使滤波器输出与期望响应误差的平方和最小。对于同类数据而言,不同数据组,最小均方误差准则 下会得到同样的滤波器,而最小二乘法准则得到不同的滤波器,这说明最小二乘法处理数据可以根据数据特点进 行更好的优化。由 n-1 时刻滤波器抽头权向量的最小二乘估计来递推 n 时刻权向量的最新估计,这种算法就称为 递归最小二乘算法^[4]。

虽然 RLS 的性能优于 LMS 算法,但 RLS 算法相当复杂,难以用硬件实现。为了以后实现高速均衡,本文选择 LMS 算法,并将其 FPGA 实现。

LMS 算法的基本迭代方程归结如下

$$y(n) = x^{T}(n)w(n)$$
$$e(n) = d(n) - y(n)$$
$$w(n+1) = w(n) + 2\mu x(n)e(n)$$

err

E out

Y_out

D_out

式中: x(n)为 n 时刻输入信号,上标 T 代表转置; y(n)为均衡器的输出; w(n)为更新系数; d(n)为期望信号; μ 为步长因子,它控制着均衡的收敛速度。

均衡器的类型,选用判决反馈均衡器。它是一种非线性均衡器,其基本结构如图 1。它由前馈部分和反馈部分构成。前馈部分由一个线性横向滤波器构成,可以减小时间超前和时间滞后的码间干扰,而反馈部分的输入为判决器输出的前一个值,可以消除以前信号对当前信号产生的码间干扰。均衡器的输出为2个横向滤波器的输出之和^[2]。

2 DFE 均衡器的硬件设计

本文选用 Xilinx virtex5 系列中 XC5VSX50T 芯 片,它针对具有低功耗串行连接功能的数字信号处 理器(Digital Signal Processor, DSP)和存储器密集型 应用进行了优化,因此很适合均衡器的开发使用。

为了方便快捷地进行硬件设计,本文选用 System Generator 进行系统建模。System Generator 可自动完成硬件比特流的产生,不需要了解比特产 生的细节^[5]。均衡器的硬件框图如图 2 所示。

判决反馈均衡器分为 4 部分,前馈滤波模块 filter_before、反馈滤波模块 filter_after、判决器模块 data decision 和误差求取模块 err。

前馈滤波和反馈滤波的结构相同,只是文中设 前馈滤波为 8 阶,反馈滤波为 4 阶,下面以反馈滤 波模块为例,其框图如图 3 所示。

反馈滤波模块包括2部分,滤波器部分 myfilter



ā

data decision

D_In D_out

out

y out



(1)

(1)

x_in

(2)

coeff 0

414

滤波器部分为4抽头的 FIR 滤波器。 设输入为 16 位数,其中 1 位符号位,1 位整数位,14 位整数位。其硬件设计框 图见图 4。其中乘法器设定延时 3 个时钟, 可认为是加入了细粒度流水线产生的, 为了使滤波器速度更快,可在加法器树 中加入流水线。

数更新部分根据输入数据 x_in 及对 应的误差信号 u_err 来训练滤波器系数 w(n)。对应于 4 阶滤波器,均衡器中应 该有 4 个系数更新子模块。系数更新模 块的框图见图 5。

在每次更新系数时, x_in 需经过延时, 使第一个系数更新 子模块中的误差信号 u_err 对应于产生此误差的输入信号 x_in。 系数更新子模块框图见图 6。

判决器模块框图如图 8 所示,根据均衡器输出判决其理想的数值,若输出大于 0.5,输出 1,否则输出 0。如果判决器输出正确,并且反馈滤波器的抽头数不少于信道等效模型的延时单元的数量,则得到反馈滤波器的抽头系数可以消除由判决器输出的前面数据产生的码间干扰。





为了简洁,将步长因子 µ 放入误差求取模块中,以控制均衡的稳定性和收敛性。取 µ 为 0.02。误差模块框图见图 8。

3 DFE 均衡器的仿真

本文使用硬件协同仿真(Hardware Co-simulation)来验证均 衡器的性能,实际上是开发板和 PC 的协同仿真,即把 Simulink 中的硬件模块下载到开发板中进行仿真, PC 和 硬件模块的数据交互使用共享存储器(Shared Memory),极大地提高了仿真速度^[6-8]。

System Generator 产生的协同仿真模块见图 9, 该模块可以在 Simulink 中使用, 端口同上述设计的硬件。

当无人机距离地面控制站较近时,地面接收天线仰角大,多径效应弱,信号幅度强,信噪比高,信道可等效用 FIR 滤波器来表征, 其参数为[0,0.107,0.904 7,0.107,0]^[1],称为信道 1。当无人机距离 地面控制站较远时,地面接收天线仰角小,多径效应影响大,信号 幅度弱,信噪比低,信道可等效用 FIR 滤波器来表征,其参数为 [-0.015,0.089,-0.124,0.654,0.318,0.069,-0.016],称为信道 2。

为了简便,输入信号采用 BPSK 调制。信道 1 均衡前后的星座图见图 10;信道 2 均衡前后的星座图见图 11, 信道 1 和信道 2 的收敛曲线见图 12。



Fig.5 Block diagram of coefficient update module 图 5 系数更新模块框图



Fig.7 Block diagram of decision device module 图 7 判决器模块框图



Fig.8 Block diagram of error 图 8 误差模块框图





从上图可以看出,在不同的信道条件下,受干扰的信号均衡后都可达到收敛,均衡器能有效克服信道中的码 间干扰。但是信道1的收敛效果要优于信道2,这说明了均衡效果会随着无人机的逐渐远离而变差。这也是由于 远距离时,信道的多径效应增强,使均衡器达到收敛需要更多的数据。由于本实验只使用阶数较小的滤波器,而 信道2的干扰又比较严重,所以收敛后的误差比较大。其中,收敛误差也是与µ有密切关系的,当µ越小,收敛 误差也越小,但是收敛时间增长。

4 结论

本文分析了无人机数据链中均衡器的作用,在此基础上,对均衡器各部分的选择给出了原因,并用 FPGA 将 其硬件实现。通过硬件协同仿真,验证了均衡器的性能。判决反馈均衡器的硬件实现设计很好地解决了无人机数 据链中的码间干扰,为以后实现具有高速、实时性的均衡器,解决无人机数据链码间干扰打下基础。