

文章编号: 2095-4980(2013)01-0110-03

一种自偏置锁相环结构的分析

万 鸣, 廖志雄, 魏 萍

(中国电子科技集团公司 29 所 西科公司, 四川 成都 610036)

摘 要: 介绍了一种自偏置结构形式的锁相环设计方法, 在一定程度上可以对锁相频率源输出信号质量进行改善, 提升产品性能, 简化设计。在没有增加额外环外混频频率信号的情况下, 对改进后的锁相环电路进行测试, 其相位噪声指标提高约 10 dB, 具有较大的工程应用优势。

关键词: 锁相环; 自偏置; 相位噪声; 频率源

中图分类号: TN74

文献标识码: A

Analysis of a self-offset Phase Lock Loop

WAN Ming, LIAO Zhi-xiong, WEI Ping

(Seekon Microwave Communications CO., LTD., Southwest China Research Institute of Electronic Equipment,
Chengdu Sichuan 610036, China)

Abstract: Phase Lock Loop(PLL) frequency source is improved rapidly. This paper provides a design of a self-offset PLL. Based on the analysis and experimental verification for this design, it is indicated that the output signal quality of the PLL frequency source can be improved, and the design is simplified. The phase noise of the proposed PLL frequency source can be improved by 10 dB without additional mixing frequency signal. This proposed design shows great advantages in engineering practices.

Key words: Phase Lock Loop; self-offset; phase noise; frequency source

在电子战、雷达、通信系统中, 频率源作为本振得到了广泛应用, 并越来越成为系统中的核心部件, 它直接关系到系统指标的优劣。在频率源的设计中, 设计师们将多数注意力集中在如何提高信号的相位噪声、频谱纯度、噪声基底等方面, 并采用各种技术将其指标大大提升。

传统的单环锁相合成方式, 为了实现较小的频率步进或得到更高的输出信号频率, 往往采用环内较大的分频系数, 从而直接增加了相位噪声恶化量 $20\log N$ 的量值, 降低了锁相频率源输出信号的相位噪声。为了解决步进、带宽以及频率等指标要求, 可以采用多级变频、倍频等合成方式, 但势必增加设计复杂程度。本文介绍了一种自偏置结构形式的锁相环设计方法。

1 原理分析

锁相合成方式是频率合成技术的主流技术, 如图 1 所示, 通过压控振荡器(Voltage Controlled Oscillator, VCO)、鉴相器以及环路滤波器等组成负反馈电路, 将 VCO 频率锁定在外部参考信号频率上。锁相方式具有实现简捷、输出信号杂散抑制性好、相位噪声较好以及集成度高等优点。但在频率较高或频率分辨率较小的情况下, 环路反馈信号支路的分频比往往需要设置较大, 从而大大影响了输出信号的噪声性能^[1-2]。

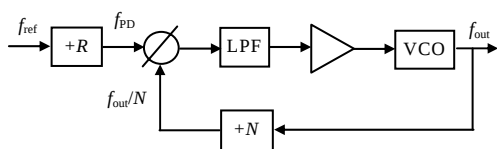


Fig.1 Basic structure of PLL
图 1 传统锁相环电路结构

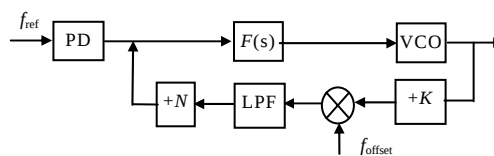


Fig.2 Structure of PLL with offset
图 2 环内混频的锁相环电路结构

为了解决由于分频系数导致噪声恶化的问题,如图 2 所示,可以采用混频等方式将信号下变频后再进行环内分频处理以获得较小的分频比^[3-4]。

外部施加的偏置频率可以是点频信号或频率可变的捷变信号,但如何实现这个信号又成为了关注的问题,同时也会增加设计复杂程度以及硬件成本^[5-6]。

如图 3 所示,自偏置锁相环电路结构中,混频器的 2 个输入信号均为同一个压控振荡器输出的分频信号,消除了外部独立的偏置信号,使设计以及硬件得到较大的简化。图中 L 及 K 均为固定分频比,假设其插值为 x ,进行计算。

$$L = K + x \quad (1)$$

$$F_{\text{LPF}} = (F_{\text{VCO}} / K) - (F_{\text{VCO}} / L) \quad (2)$$

由式(1)和式(2)可得:

$$F_{\text{LPF}} = (F_{\text{VCO}} / K) - [F_{\text{VCO}} / (K + x)] \quad (3)$$

$$F_{\text{LPF}} = F_{\text{VCO}} [x / K(K + x)] \quad (4)$$

由于

$$F_{\text{PFD}} = F_{\text{LPF}} / N \quad (5)$$

根据式(4)可以得到

$$F_{\text{PFD}} = F_{\text{VCO}} [x / K(K + x)] (1 / N) \quad (6)$$

而根据图 2 的结构,其鉴相频率与输出信号频率的关系为:

$$F_{\text{PFD}} = F_{\text{VCO}} (K / N') \quad (7)$$

当在同一鉴相频率及相同输出频率的情况下,比较其环内分频系数的关系为:

$$F_{\text{VCO}} [x / K(K + x)] (1 / N) = F_{\text{VCO}} [KN'] \quad (8)$$

得到:

$$N / N' = x / (K + x) \quad (9)$$

从式(9)可以看出,在相同条件下,采用自偏置锁相环的分频比 N 远小于传统单环锁相中的分频比 N' ,由此减小了 $20 \log N$ 的恶化量值,改善了输出信号的相位噪声性能,其相位噪声改善量为 $20 \log (N / N')$ 。对不同分频比状态下的噪声改善量值进行了仿真计算,如图 4 所示。如当 VCO 输出信号分别进行 2 分频及 8 分频时, $K=6$, $L=8$, 则 $x=2$, 相位噪声改善约 12 dB。

在自偏置环路中,由于采用了混频器,因此不可避免地必须考虑混频引入的交调信号对输出信号杂散抑制度的影响。混频器两输入信号产生的各次交调信号应避免落入反馈支路低通滤波器的带内,则有:

$$n(F_{\text{VCO}} / K \pm m[F_{\text{VCO}} / (K + x)]) \neq F_{\text{LPF}} \quad (10)$$

将式(2)~式(6)代入式(10)可知,为了避免交调信号的影响,其 K 、 L 应认真选择,以满足下式的关系:

$$\frac{(n \pm m)}{1 - n} \neq \frac{x}{k} \quad (11)$$

2 仿真分析

对自偏置锁相环的噪声性能、杂散抑制性能进行动态仿真,选取中间频段 6 GHz 进行分析仿真。

如图 5 所示,在输出信号为 6 GHz,分频比 1 000 状态下,其相位噪声约为 $-89 \text{ dBc/Hz}@1 \text{ kHz}$ 。采用自偏置结构后,分频比分别为 2,8,同样输出 6 GHz 信号,其仿真曲线如图 6 所示,可以看出其输出信号相位噪声约为 $-100.3 \text{ dBc/Hz}@1 \text{ kHz}$,与预计值吻合。

3 测试结果

经过理论分析、电路仿真以及试验,对原单环锁相的电路进行了调整,并在相同输出频率状态下进行了测试。

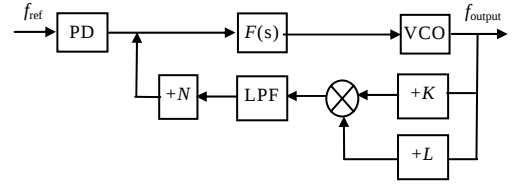


Fig.3 Structure of PLL with self-offset
图 3 自偏置环内混频的锁相环电路结构

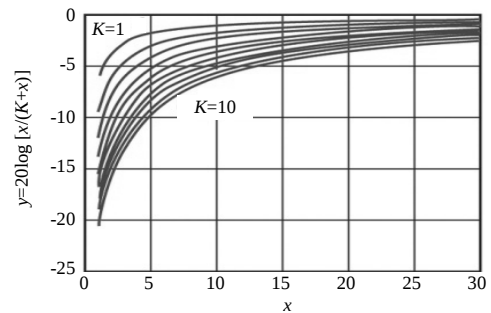


Fig.4 Curve of optimized phase noise($K=1-10$)
图 4 不同分频比状态下的噪声改善曲线

其中, $K=10$, $x=5$, 由图 4 查表可见, 理论相噪优化约为 12 dB。

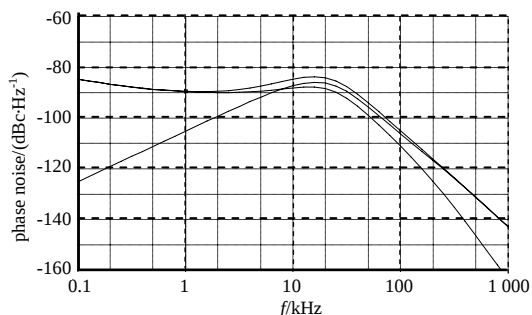


Fig.5 Simulation of phase noise in basic PLL

图 5 传统单环相位噪声仿真曲线

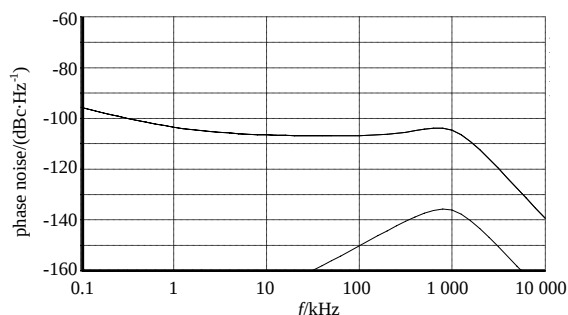


Fig.6 Simulation of phase noise in optimized PLL

图 6 自偏置锁相环相位噪声仿真曲线

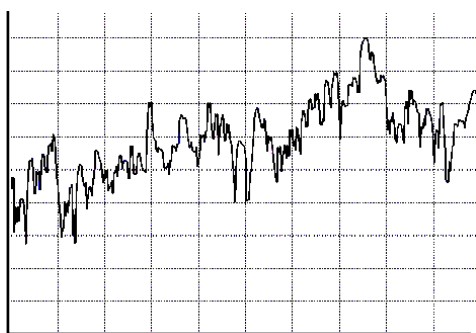


Fig.7 Spectrum in basic PLL

图 7 单环锁相输出信号近端噪声频谱

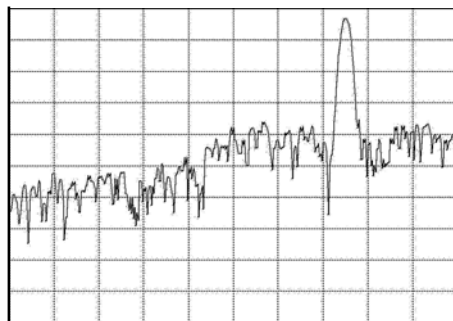


Fig.8 Spectrum in optimized PLL

图 8 自偏置锁相输出信号近端噪声频谱

从图 7 可以看出, 在分频比较大, 输出信号频率很高的状态下, 单环合成信号的近载频相位噪声恶化严重, 噪声基底起伏较大, 经过内插分频器进行自偏置改进后, 如图 8 所示, 近载频的相位噪声可以明显改善, 测试噪声优化值为 10 dB, 可以看出测试结果与理论优化近似。

4 结论

由实际测试结论可以得出, 选择适当的环内分频比, 自偏置锁相环可以对相位噪声指标进行改善, 这对锁相频率源的研制、调试有一定的指导意义。

参考文献:

- [1] 胡罗林, 杨晓庆, 吴洋, 等. 不破坏锁相环路稳定性的鉴相泄漏抑制[J]. 信息与电子工程, 2005, 3(2): 133-136.
- [2] 杨光, 蒋国琼, 董洪新, 等. 模拟锁相陶瓷介质振荡器技术[J]. 信息与电子工程, 2010, 8(2): 169-172.
- [3] 张厥盛, 郑继禹, 万心平. 锁相技术[M]. 西安: 西安电子科技大学出版社, 1991.
- [4] 高树廷, 高峰, 徐盛旺. 合成频率源工程分析与设计[M]. 北京: 兵器工业出版社, 2008.
- [5] 费元春, 陈世伟, 孙燕玲, 等. 微波固态频率源理论、设计、应用[M]. 北京: 国防工业出版社, 1994.
- [6] Alexander Chenakin. Frequency Synthesizers: Concept to Product[M]. Boston, USA: Artech House, 2010.

作者简介:



万 鸣(1976-), 男, 成都市人, 高级工程师, 主要从事射频微波电路的研究和设计工作。
email: chen7809@yahoo.com.cn.

廖志雄(1978-), 男, 成都市人, 工程师, 主要从事射频微波电路的研究和设计工作。

魏 萍(1978-), 女, 成都市人, 硕士, 主要从事射频微波电路的研究和设计工作。