

文章编号: 2095-4980(2014)05-0692-05

一种基于FPGA的直接数字射频上变频方案

梁尧, 徐迪宇, 胥小武

(深圳清华大学研究院 宽带无线通信研究所, 深圳 518057)

摘要: 传统模拟器件实现射频(RF)上变频方法存在硬件复杂度高, 灵活性差, 功耗大等缺点。随着半导体器件的发展, 软件无线电要求将上变频中射频或中频的信号处理尽量往基带数字信号处理靠拢。本文利用多相滤波器原理, 提出一种基于现场可编程门阵列(FPGA)的直接数字RF上变频架构和实施方案, 并且通过软硬件仿真验证了该方案的可行性。

关键词: 软件无线电; 多相滤波器; 现场可编程门阵列; 直接数字射频

中图分类号: TN929.5

文献标识码: A

doi: 10.11805/TKYDA201405.0692

A method for digital direct RF up-converter with FPGA

LIANG Yao, XU Di-yu, XU Xiao-wu

(Research Center of Wireless Broadband Communication, RITS, Shenzhen Guangdong 518057, China)

Abstract: Common method for up-converter implementation with analog device is of high complexity, poor inflexibility and large power consumption. With the development of semiconductor devices, software radio requires the Radio Frequency(RF) or Intermediate Frequency(IF) signals processing next to base band as close as possible. Therefore, a method for digital direct RF up-converter with poly-phase filters based on Field Programmable Gate Array(FPGA) is proposed. Its feasibility is verified through software and hardware simulations.

Key words: software radio; poly-phase filters; Field Programmable Gate Array; digital direct RF

数字上变频具有将基带频谱成型、限制带宽、抗镜像以及输出速率匹配数字模拟转换器(Digital-to-Analog Converter, DAC)的作用。常规数字上变频一方面受DAC采样速率限制, 另一方面受基带数字信号器现场可编程门阵列(FPGA)或数字信号处理(Digital Signal Processing, DSP)速度限制, 只能将频谱搬迁到中频, 再经过DAC输出模拟中频信号后, 在模拟射频端经过二次上变频, 最终获得射频(RF)频带信号输出^[1]。

随着半导体器件和现代无线通信技术的迅速发展, 人们对多频道、多载波结合及各路载波频点可调节性的要求越来越高。这就是软件无线电的思想, 它要求将上变频中射频或者中频信号处理尽量往基带数字信号处理靠拢, 以减少模拟器件复杂度, 增强系统灵活性, 降低系统功耗^[2-3]。基于以上思想, 本文利用多相滤波器原理^[4], 在现有半导体器件能够承受的前提下, 提出一种基于FPGA的直接数字RF上变频架构和硬件实施方案。该设计充分利用FPGA的并行处理能力, 利用多相有限脉冲响应(Finite Impulse Response, FIR)滤波器结构^[5], 在FPGA中进行采样率为200 MSps的并行16个相位的正交混频, 再经过Maxim的高速采集DAC芯片MAX5882后进行并串转换, 最终输出采样率高达3.2 GSps, 频点为1 GHz的多载波RF信号。

1 多相滤波器原理

数字上变频主要涉及到信号多倍速率转换。将低速率基带符号, 通过插值到DAC工作频率 f_s , 匹配数模转换输出。如果直接 M 倍插值不做任何处理, 根据奈奎斯特定理可以得到输出信号在频域上是原来信号频带的 M 倍延拓, 导致DAC输出信号在 $\pm 0.5f_s$ 区间内存在 M 个镜像, 无法满足上变频信号对输出带宽的要求。因此需要在插值后经过数字低通滤波器来消除或抵制上述镜像分量。常规长度为 N 的FIR滤波器的差分方程为:

$$y(n) = \sum_{m=0}^{N-1} h(m)x(n-m) \quad (1)$$

在硬件实现时,考虑到上述FIR滤波器的插值滤波性质,多相分解过程一方面考虑到插值后卷积系数与插值前数据的对应关系将系数分组,在每个时钟周期对应一个分组输出,利用插值后快时钟来进行运算,时分复用率更高,大大节省了系统的乘法累加器(Multiple Accumulator, MAC)资源^[6-7],使得计算复杂度降低为原来的1/M;另一方面将数据按照相位进行并行平均划分,后端上变频可以并行对应多组不同相位的数控振荡器(Numerically Controlled Oscillator, NCO)进行混频,得到多相输出。

上采样倍数 M , 长度为 N 的FIR滤波器的系统函数为:

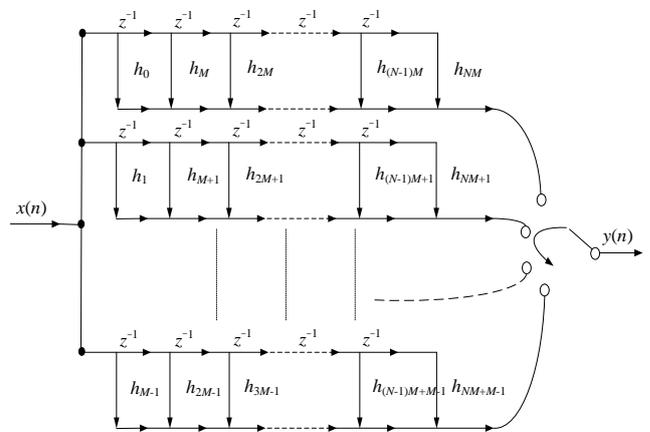
$$\begin{aligned}
 H(z) &= \sum_{n=0}^{\infty} h(n)z^{-n} = \\
 &h_0z^0 + h_Mz^{-M} + h_{2M}z^{-2M} + \dots + h_1z^{-1} + h_{M+1}z^{-(M+1)} + h_{2M+1}z^{-(2M+1)} + \dots + \\
 &h_2z^{-2} + h_{M+2}z^{-(M+2)} + h_{2M+2}z^{-(2M+2)} + \dots + h_{M-1}z^{M-1} + h_{2M-1}z^{-(2M-1)} + h_{3M-1}z^{-(3M-1)} + \dots = \\
 &z^0(h_0 + h_Mz^{-M} + h_{2M}z^{-2M} + \dots) + z^1(h_1 + h_{M+1}z^{-M} + h_{2M+1}z^{-2M} + \dots) + \\
 &z^2(h_2 + h_{M+2}z^{-M} + h_{2M+2}z^{-2M} + \dots) + \dots + z^{M-1}(h_{M-1} + h_{2M-1}z^{-M} + h_{3M-1}z^{-2M} + \dots)
 \end{aligned}
 \tag{2}$$

得到:

$$H(z) = \sum_{l=0}^{M-1} z^l \sum_{n=0}^{\infty} h(Mn+l)z^{-Mn}
 \tag{3}$$

因此,经过式(3)多相分解后可以得到 M 倍插值多相滤波器的结构如图1所示。

本文设计基于以上多相滤波思想,提出一种基于FPGA的直接数字RF上变频架构和实施方案。充分利用了FPGA的并行处理能力,按照相位进行拆解,实现多相位并行输出。



2 直接数字 RF 上变频方案

受FPGA逻辑处理速度的限制,常规上变频方案是通过基带I、Q两路数据进行插值滤波得到一个采样率低于FPGA时钟频率 f_{CLK} 的信号^[1],并且在FPGA中对插值后的数据与NCO进行正交混频,使得信号频点搬迁到一个低中频 f_{IF} ,合成一路输出到DAC,这就是FPGA的数字中频上变频过程。首先将频谱搬迁到低中频 f_{IF} ,再经过模拟中频带通滤波以及射频混频后到达射频频点 $f_{RF} + f_{IF}$,然后经过增益调整和射频滤波放大后输出到天线阵列,如图2所示。这种做法的优点是基带FPGA信号处理相对简单,把射频滤波和混频交给后端的模拟器件完成;缺点是模拟器件设计复杂度高,系统灵活性差,修改了中心频点或者多载波参数后整个射频模块都要重新设计,同时还具有调试困难,系统功耗大等问题。

随着本导体器件发展,以及软件无线电思想的提出,这种缺乏灵活性和兼容性的上变频方案越来越难满足通信发展要求。针对常规上变频方案的不足,

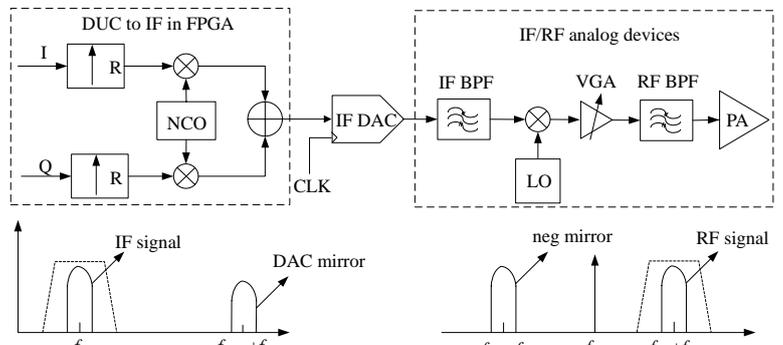


Fig.2 Common method for up-converter implementation with analog device
图2 常规上变频方案

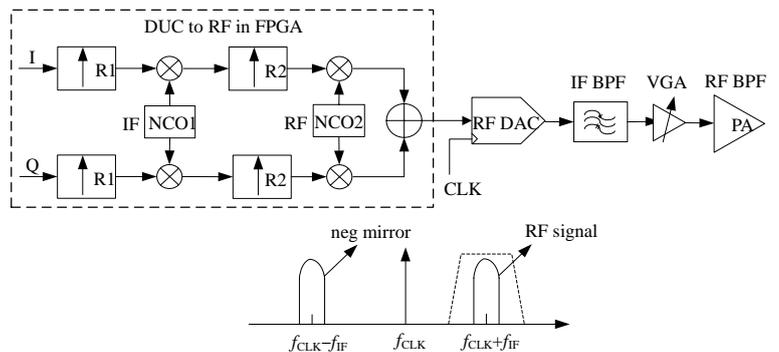


Fig.3 Proposed method for digital direct RF up-converter
图3 本文的直接数字RF方案

本文提出了一种直接数字RF上变频方案,总体方案如图3所示。

该方案分为2级正交混频处理。前一级主要是在中频进行,如图4所示,它的作用是将多路载波信号在中频中合成,得到一个中心频点小于 $0.5f_s$ 的中频信号,该过程与常规数字中频上变频相类似。后一级处理过程是将中频信号插值到高于2倍射频频率的采样速率,然后输出到高速DAC,如图5所示。

由于FPGA的时钟频率通常在300 MHz以下,而无线通信射频频点一般在800 MHz以上,FPGA中常规数字滤波处理速率根本达不到这个数值,图5所示的上变频是目前FPGA时钟速度无法达到的^[8]。因此,本文对常规插值滤波进行了改进,利用了FPGA并行处理,将中频插值之后的符号数据拆分为多个相位,并且每经过一级 M 倍的插值后,相位个数增加为原来 M 倍,得到 M 路并行相位输出结构,如图6所示。

图6所示结构中,多个相位滤波并行运行,在一个FPGA时钟沿同时处理 M 个相位数据,最后将 M 个相位数据与 M 个NCO进行正交混频得到多个相位数值,再经过并串转换的低压差分信号(Low Voltage Differential Signaling, LVDS)高速串行口输出到高采样率DAC中,完成RF信号的输出。后端经过射频带通滤波和增益调节、功率放大后从天线发送出去,最终完成RF上变频,如图7所示。

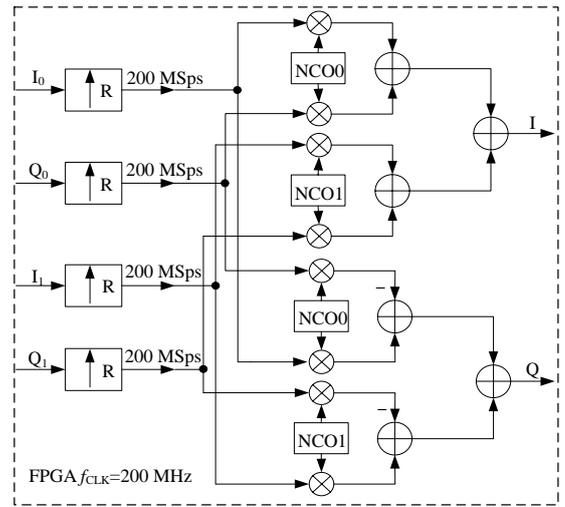


Fig.4 Structure of two channels interpolation and up-converter in IF
图4 两通道中频插值和上变频结构图

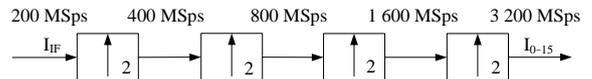


Fig.5 Structure of in-phase channel interpolation and up-converter from IF to RF
图5 由中频到射频的I路插值滤波结构图

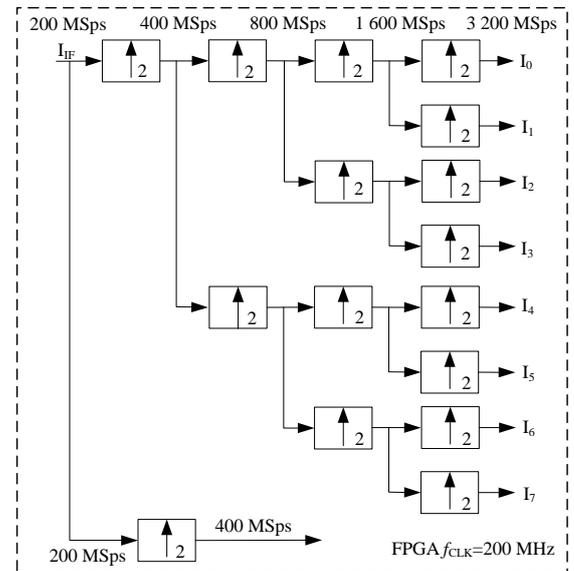


Fig.6 Structure of in-phase channel interpolation with poly-phase filters from IF to RF
图6 中频到射频的多相滤波I路插值结构图

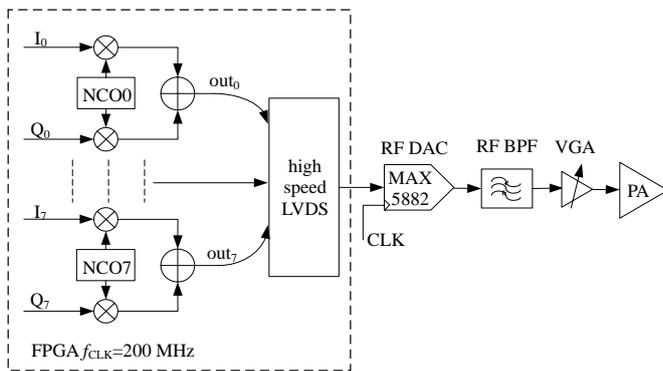


Fig.7 In-phase/quadrature modulation in RF after up-sampling
图7 射频插值后正交混频到RF频点输出

3 软硬件仿真

本设计仿真以2路载波上变频为例,基带符号速率10 MSps,要求输出射频中心频点为1 000 MHz,一路载波频点为1 008 MHz,另一路载波频点为992 MHz。根据前面多相滤波器理论推导,以及本文提出的直接RF上变频架构进行设计仿真。在Matlab中进行各级滤波器设计,包括中频成型滤波器和20倍插值滤波器,以及中频往射频过渡的16倍插值滤波器。为了节约FPGA的MACs资源,这里用4级2倍插值半带滤波器来代替常规FIR插值滤波。图8为本仿真程序设计的成型滤波器、4级半带插值滤波器的频率响应,以及各级滤波器级联后的总频率响应。由频率响应图看出最终输出信号的无杂散动态范围(Spurious Free Dynamic Range, SFDR)约为60 dB。

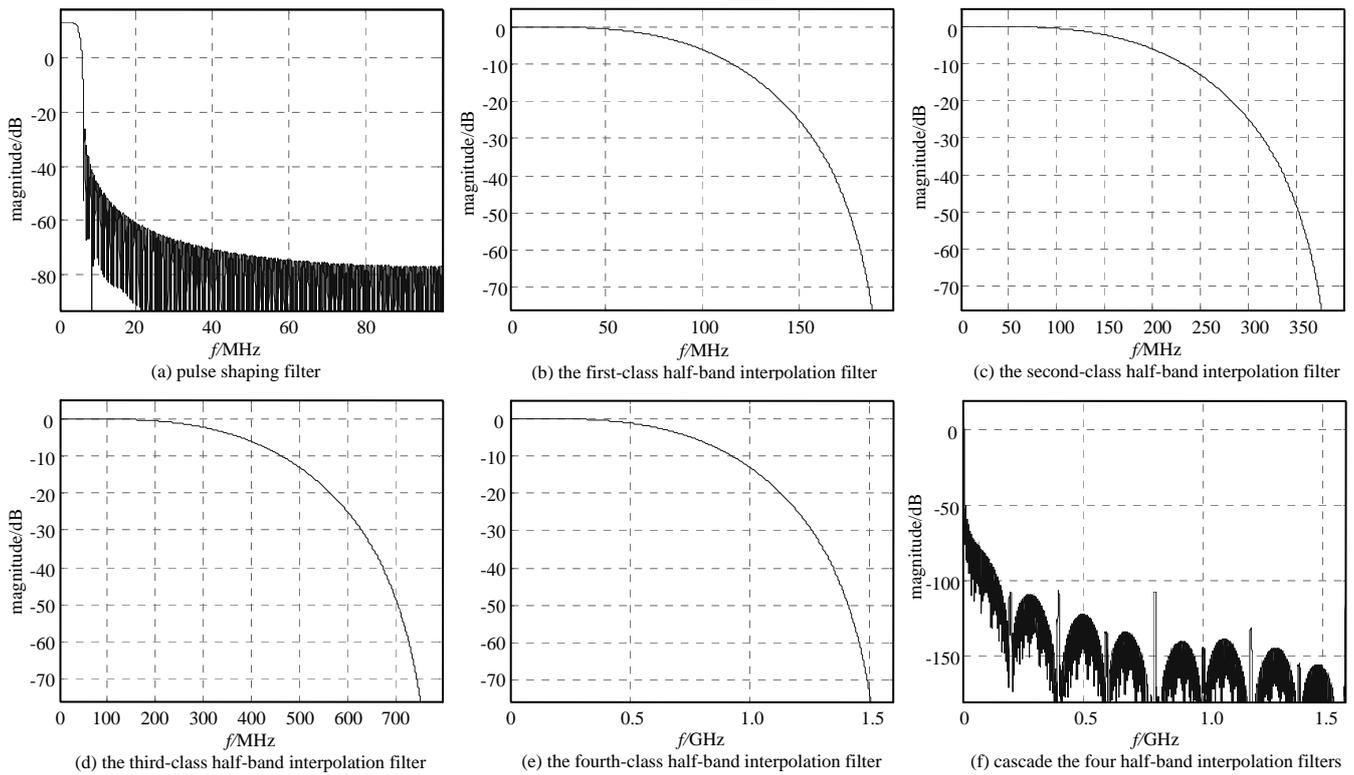


Fig.8 Frequency response of FIR filters in simulation
图8 本仿真程序设计的滤波器频率响应

本文设计以16QAM的2个载波基带符号上变频为例,多载波上变频方法同理,只需将各路载波在中频进行NCO合成即可。带宽为10 MHz的两载波在采样率为200 MSps数字中频进行合成,合成频率后频点分别为8 MHz, -8 MHz,合成后频谱如图9所示。

将中频合成后的I,Q两路信号按照图6架构进行多相拆解,并且经过4级半带滤波,使得采样率由中频200 MSps多相插值到3 200 MSps,然后经过多相NCO频率合成以及并串转换输出到硬件DAC中。满足了本设计要求,最终频谱如图10所示。

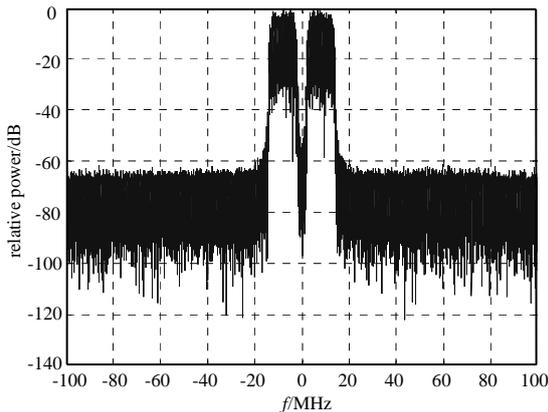


Fig.9 Frequency spectrum of DUC in IF
图9 数字上变频到中频频谱

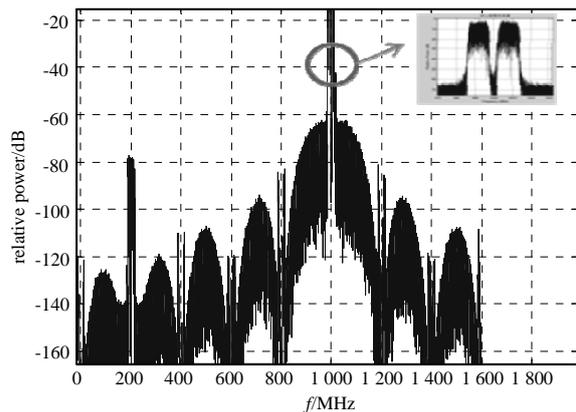


Fig.10 Frequency spectrum of DUC in RF
图10 数字上变频到射频频谱

将以上Matlab生成的滤波器系数和各个相位对应的NCO参数以文件形式保存,利用ISE开发工具将该参数文件导入到Verilog文件中进行硬件滤波器和NCO设计,最终在Modelsim上进行仿真,得到图11的时序图。从图11可看出基带成型滤波输出信号、多相插值滤波输出信号以及RF多相混频输出信号。将这些关键信号保存至文件,并且与Matlab定

表1 FPGA 资源使用情况

Table1 Resource utilization in FPGA for the implementation			
resource	used	volume	utilization/%
slice regs	5 324	32 640	16
LUTs	3 920	32 640	12
block RAM	4	132	3
DSP48Es	182	288	63

点仿真输出的文件比较, 结果完全一致。

整个工程是在Xilinx型号为XC5VSX50T的一颗FPGA上实现的, 资源消耗情况如表1所示。由于本文设计在多相插值过程中利用了高效的半带滤波器, 大大减少了乘累加器的使用。整个硬件系统虽然占用了FPGA的大部分DSP资源, 但还是在目前硬件可以接受的范围内, 因此, 该方案完全可行。

4 结论

本文首先研究了FIR插值滤波器的结构, 通过理论公式推导了插值滤波器的多相分解, 得到一般插值滤波结构公式。然后, 利用多相滤波原理, 结合数字上变频结构, 以及软件无线电思想, 提出了一种基于FPGA的直接数字RF上变频架构和实施方案。最后, 通过软件和FPGA仿真验证了该结构的可行性。本设计通过增加FPGA信号处理的复杂度来换取射频模拟器件复杂度的降低, 系统灵活性的增加, 系统功耗的降低, 对软件无线电应用具有一定的参考和应用价值。

参考文献:

- [1] 向新,张发启,王兴华. 软件无线电原理与技术[M]. 西安:西安电子科技大学出版社, 2008:1-12. (XIANG Xin, ZHANG Fa-qi,WANG Xing-hua. Principle and technology of software defined radio[M]. Xi'an,China:Publishing House of Xidian University, 2008:1-12.)
- [2] 陈林杰,颜毅华,刘飞,等. 基于多相滤波器的宽带射电频谱仪设计[J]. 天文研究与技术, 2010,7(2):89-94.(CHEN Lin-jie,YAN Yi-hua,LIU Fei,et al. Design of a wideband spectrum analyzer based on polyphase filters[J]. Astronomical Research & Technology, 2010,7(2):89-94.)
- [3] 王建忠. 多相滤波在软件无线电中的应用[J]. 测控技术, 2004,23(4):54-55. (WANG Jian-zhong. Applications of the polyphase filters to software radio[J]. Measurement and Control Technique, 2004,23(4):54-55.)
- [4] 田耘,徐文波,张延伟. 无线通信 FPGA 设计[M]. 北京:电子工业出版社, 2008:211-212. (TIAN Yun,XU Wen-bo, ZHANG Yan-wei. Design for Wireless Communication in FPGA[M]. Beijing:Publishing House of Electronics Industry, 2008:211-212.)
- [5] TecpanecatI-Xihuitl J L,Aguilar-Ponce Ruth M, Ismail Y,et al. Efficient multiplierless polyphase FIR filter based on new distributed arithmetic architecture[C]// 2007 Conference Record of the Forty-First Asilomar Conference on Signals, Systems and Computers. Pacific Grove,CA:IEEE, 2007:958-962.
- [6] 何颂华,刘真. 基于FPGA的多相滤波器设计[J]. 微计算机信息, 2009,25(11-2):24-26. (HE Song-hua,LIU Zhen. The design of IIR polyphase filter and implementing it with FPGA[J]. Microcomputer Information, 2009,25(11-2):24-26.)
- [7] XIONG Cheng-hua,CHEN He,ZHONG Shu-nan,et al. Design and implementation of high-speed programmable polyphase FIR filter[C]// Proceedings of 5th International Conference on ASIC. Beijing,China:IEEE, 2003(2):783-787.
- [8] 张力,李式巨. 利用内插法提高多相滤波器采样率的设计[J]. 电子器件, 2003,26(2):167-168. (ZHANG Li,LI Shi-ju. The design of heightening sampling rate for polyphase filter by interpolation[J]. Journal of Electron Devices, 2003,26(2): 167-168.)

作者简介:



梁尧(1984-),男,广东省茂名市人,工程师,主要研究方向为无线通信理论和FPGA硬件实现等.email:liangy@tsinghua-sz.org.

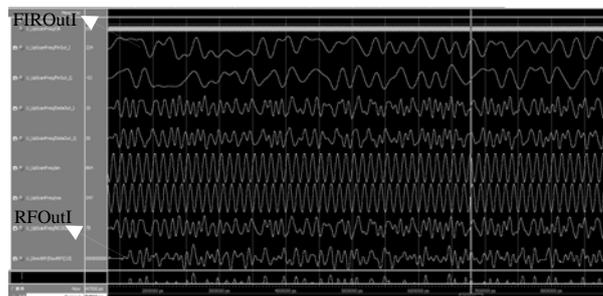


Fig.11 Timing diagram of hardware simulation in FPGA
图 11 硬件FPGA仿真时序图

徐迪宇(1982-),男,哈尔滨市人,工程师,主要研究方向为无线通信硬件和系统实现。

晋小武(1986-),男,南昌市人,工程师,主要研究方向为无线通信及嵌入式系统。