

文章编号: 2095-4980(2014)05-0702-06

基于单自由度振动模型的 IIR 数字滤波器设计

牛宝良

(中国工程物理研究院 总体工程研究所, 四川 绵阳 621999)

摘要: 无限冲击响应(IIR)数字滤波器设计通常需要先设计 S 域滤波器, 再变换到 Z 域。为简化 IIR 数字滤波器的设计过程, 本文提出利用单自由度系统(SDOF)模型直接设计 IIR 数字滤波器的方法, 包括低通、带通、高通、带阻等。仿真结果表明设计过程直接、简单, 滤波器参数不需要随采样频率而变, 具有良好特性, 是一种设计 IIR 数字滤波器的简便易用的新方法。

关键词: 单自由度系统; 无限冲击响应; 数字滤波器

中图分类号: TN713.7

文献标识码: A

doi: 10.11805/TKYDA201405.0702

Design of IIR digital filter based on Single Degree of Freedom

NIU Bao-liang

(Institute of Systems Engineering, China Academy of Engineering Physics, Mianyang Sichuan 621999, China)

Abstract: Infinite Impulse Response(IIR) digital filter is designed usually in S -domain firstly, then the S -domain transfer function is transferred to Z -domain. To simplify the design process, a direct design method of filter based on Single Degree of Freedom(SDOF) model is presented, including the types of LP filter, HP filter, BP filter, BS filter. Simulation results show that the design process is direct and simple, and the designed filter bears good frequency characteristics. Another advantage of the proposed method is that the filter parameters needn't change with system sample time. Therefore, it is a new method for IIR digital filter design with good usability.

Key words: Single Degree of Freedom; Infinite Impulse Response; digital filter

滤波器是信号处理的常用模块, 随着计算机技术的普及, 当今数字滤波器的应用越来越广泛。数字滤波器分有限冲击响应(FIR)和无限冲击响应(IIR)滤波器。FIR 滤波器占用资源多, 特别是对于用现场可编程门阵列(FPGA)实现的滤波器, 文献[1]研究了节省资源的方法。IIR 数字滤波器相比 FIR 数字滤波器系数少很多, 相应的运算速度更快, 对资源的占用更少。IIR 数字滤波器的设计过程通常是先设计 S 域的滤波器传递函数^[2], 再把 S 域传递函数变换到 Z 域。如果是设计高通滤波器(或其他非低通滤波器), 还要通过频率变换得到模拟低通滤波器, 再得到 S 域模拟高通滤波器, 变换到 Z 域高通滤波器。文献[3]提出一种 IIR 滤波器多目标优化方法。文献[4]研究了 IIR 滤波器系数量化问题。文献[2]的标准方法和文献[3]的优化方法, 设计过程都比较复杂。这些方法设计得到的 Z 传函系数随采样间隔不同而不同。本文提出基于单自由度系统(SDOF)设计 IIR 数字滤波器, 概念明晰, 参数少, 可方便设计低通、高通、带通、带阻等常用的 IIR 数字滤波器。传统方法 Z 传函系数与采样间隔相关, 本方法的 2 个系数不随采样间隔变化, 而且刚度 K , 阻尼 C 的值比较大, 不易出现系数量化导致的滤波器特性恶化甚至系统不稳定。

1 SDOF 的频率特性

SDOF 力学模型如图 1(a)所示, 由质量(m)、弹簧(k)、阻尼(c)组成。对应的 Simulink 离散仿真模型如图 1(b)所示。作为滤波器用, m 的值取 1。

SDOF 的惯性力 F_m 、阻尼力 F_c 、弹簧力 F_k 呈现出高频、中频、低频特性, 如图 2 所示。如果把 SDOF 系统看做一个滤波器, 把激振力 F 看做输入信号, 那么惯性力 F_m 可以看做高通滤波器的输出, 阻尼力 F_c 可以看做带通滤波器的输出, 弹簧力 F_k 可以看做低通滤波器的输出。

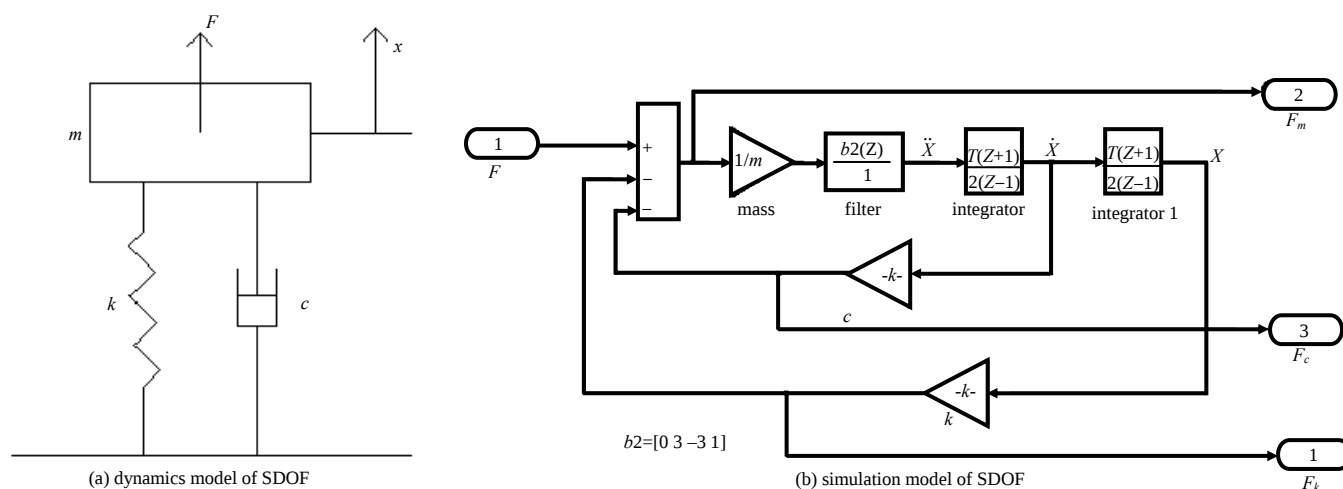


Fig.1 Model of SDOF
图 1 SDOF 模型

2 滤波器设计

2.1 低通滤波器的设计

对于 SDOF 模型(见图 1), 输出从弹簧力端子引出的是一个低通滤波器基本单元(见图 3)。单个的低通滤波器单元的低通特性如图 2(a)所示, 对应的阻尼比参数为 $c_s = 0.70627$, 共振频率为 100 Hz , $\omega_n = 2 \times \pi \times 100$, 阻尼为 $C = 2c_s\omega_n$, 刚度 $K = \omega_n^2$, 在 100 Hz 处幅值为 $0.70795(-3\text{ dB})$ 。显然, 单一的 SDOF 低通滤波器对高频衰减不够理想, 这时可以串联多个低通滤波器基本单元。以串联 3 个基本单元为例, 设计一个截止频率为 100 Hz 低通滤波器。

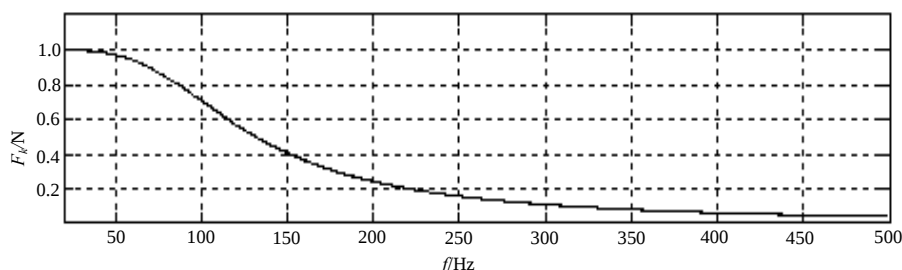
单个 SDOF 的共振频率为 100 Hz , 阻尼比 c_s 取 0.70627 , 它在 100 Hz 处的幅值为 $0.70695(-3\text{ dB})$, 3 个串联之后, 在 100 Hz 处得幅值 $0.70695^3 = 0.35332$ 。串联后的 100 Hz 幅值为 0.70695 (幅值为 -3 dB)时, SDOF 的共振频率应为 $f_n = 100/0.715 = 139.9\text{ Hz}$ 。3 个串联之后频率特性如图 4 所示。SDOF 的 $\omega_n = 2 \times \pi \times 139.9$, 阻尼 $C = 2c_s\omega_n$, 刚度 $K = \omega_n^2$ 。这里的 0.715 是频率修正系数。串联个数为 $2 \sim 10$ 的频率修正系数见表 1。

表 1 串联后频率修正系数
Table1 Frequency correct factors

serial number	2	3	4	5	6	7	8	9	10
correct factor	0.8029	0.7150	0.6607	0.6223	0.5930	0.5696	0.5502	0.5337	0.5194

2.2 带通滤波器的设计

对于 SDOF 模型, 输出从阻尼力端子引出的是一个带通滤波器基本单元。单个的带通滤波器的低通特性如图 2(b)所示, 可以通过改变阻尼比来获得不同的带宽。取 $Q=10$, $c_s = 1/(2Q) = 0.05$, 通带中心频率为 100 Hz , $\omega_n = 2 \times \pi \times 100$, 阻尼 $C = 2c_s\omega_n$, 刚度 $K = \omega_n^2$ 。3 个带通单元串联组成的带通滤波器的频率特性(Q 分别取 $5, 10$), 如图 5 所示, Q 越大, 频带越窄。



(a) frequency characteristic of spring force

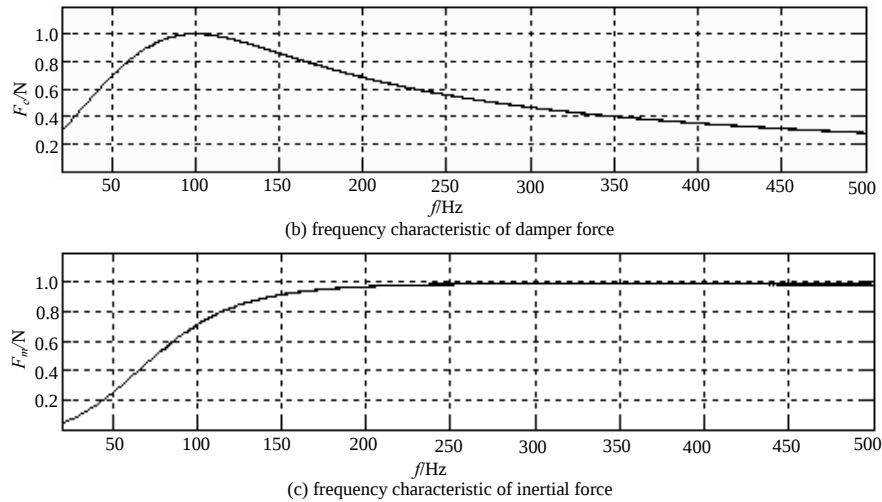


Fig.2 Frequency characteristics of spring force, damper force and inertial force
图 2 弹簧力、阻尼力、惯性力频率特性

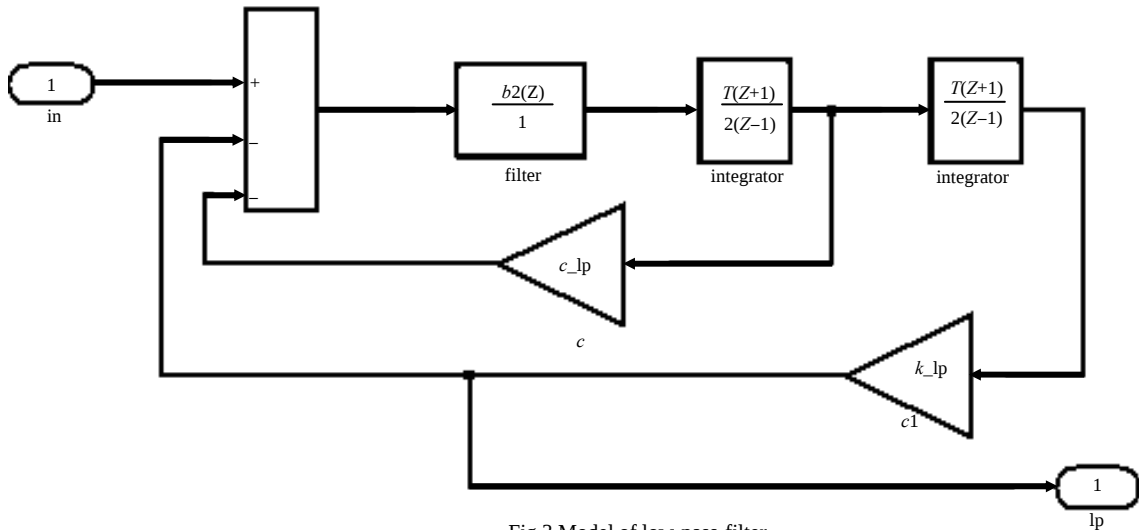


Fig.3 Model of low-pass-filter
图 3 低通滤波器模型

2.3 高通滤波器的设计

对于 SDOF 模型, 输出从惯性力端子引出的是一个高通滤波器基本单元。单个的高通滤波器单元的高通特性如图 2(c)所示。显然单个高通滤波器单元对低频衰减不够理想。以串联 3 个基本单元为例, 设计一个截止频率 100 Hz 的高通滤波器。

单个高通滤波器单元的共振频率为 100 Hz, 阻尼比 c_s 取 0.706 27, $\omega_n = 2 \times \pi \times 100$, 阻尼 $C = 2c_s\omega_n$, 刚度 $K = \omega_n^2$, 它在 100 Hz 处得幅值为 0.706 95(-3 dB), 3 个单元串联之后的幅值为 $0.706 95^3 = 0.353 32$ 。为了使得串联后的滤波器截止频率还是 100 Hz(幅值为 -3 dB), 那么共振频率应取为 $f_n = 100 \times 0.715 = 71.5$ Hz。基本单元的共振频率 $\omega_n = 2 \times \pi \times 71.5$, 阻尼 $C = 2 \times c_s \times \omega_n$, 刚度 $K = \omega_n^2$ 。3 个基本单元串联的频率特性如图 6 所示, 0.715 是频率修正系数, 与低通滤波器类似, 从表 1 选取。

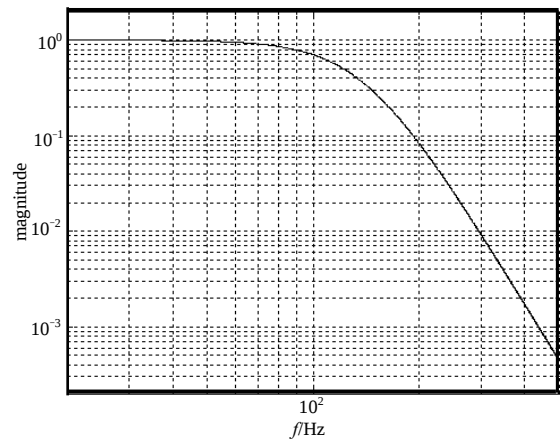


Fig.4 Frequency characteristic of low-pass-filter(3 SDOF in series)
图 4 低通滤波器(3 个串联)频率特性

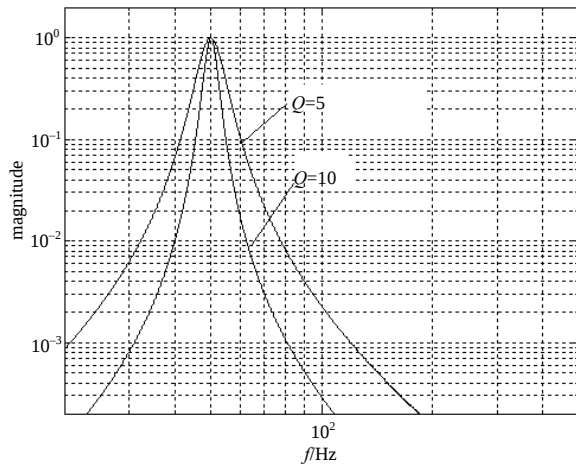


Fig.5 Frequency characteristics of band-pass-filter
图 5 带通频率特性

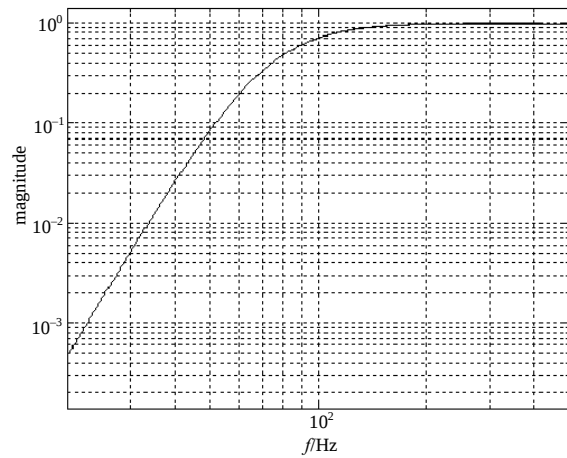


Fig.6 Frequency characteristic of high-pass-filter
图 6 高通滤波器频率特性

2.4 窄带带阻滤波器的设计

窄带的带阻滤波器,采用输入信号减去带通滤波器输出。 Q 决定阻带的宽度。假设带通滤波器 $Q=10$, $c_s=1/(2Q)=0.05$,阻带中心频率为 100 Hz。 $\omega_n=2\times\pi\times 100$, 阻尼 $C=2c_s\omega_n$, 刚度 $K=\omega_n^2$ 。得到的窄带带阻滤波器频率特性如图 7 所示。

2.5 宽带的带阻滤波器设计

由 SDOF 带通滤波器构建的带阻滤波器频带很窄。构建宽频带的带阻滤波器,可采用低通滤波器和高通滤波器并联输出相加的办法。低通滤波器的截止频率是带阻滤波器的下截止频率,高通滤波器的截止频率是带阻滤波器的上截止频率。例如设计阻带 30 Hz~300 Hz 的带阻滤波器,低通和高通分别用 5 个基本单元,其频率特性如图 8 所示。

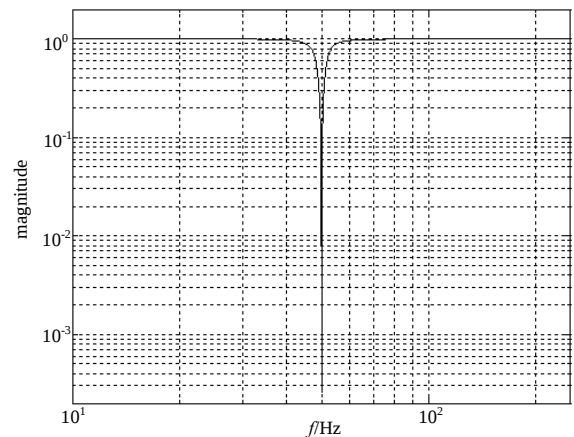


Fig.7 Model of narrow band-stop-filter
图 7 窄带带阻滤波器频率特性

2.6 宽带的带通滤波器

由 SDOF 带通滤波器构建的带通滤波器频带很窄。采用低通滤波器和高通滤波器串联可以构建通带更宽的带通滤波器。高通滤波器的截止频率是带通的下截止频率,低通滤波器的截止频率是带通滤波器的上截止频率。按此思路设计的频率 100 Hz~600 Hz 的带通滤波器,频率特性如图 9 所示。

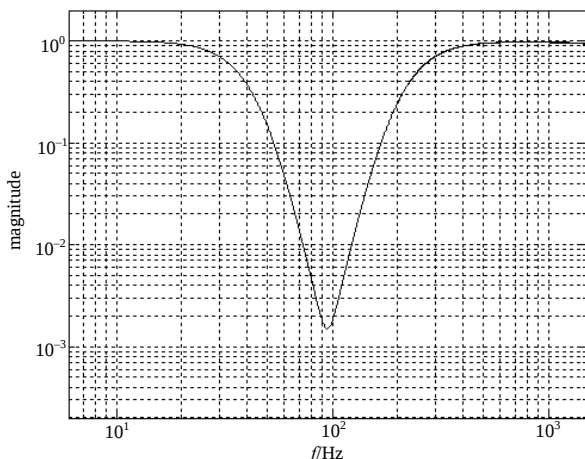


Fig.8 Frequency characteristic of wide band-stop-filter
图 8 宽带带阻滤波器频率特性

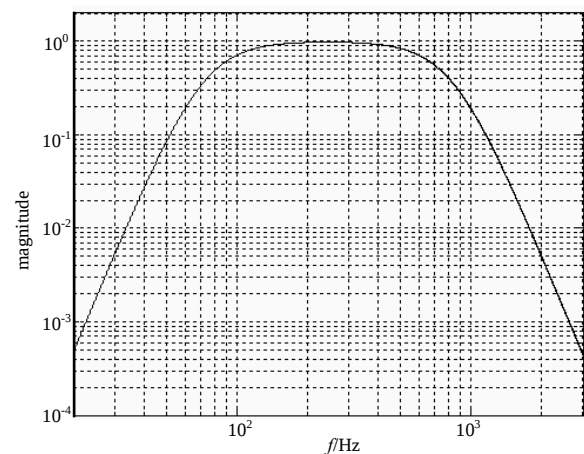


Fig.9 Frequency characteristic of wide band-pass-filter
图 9 宽带带通滤波器频率特性

3 滤波器实现

本文采用 SDOF 的离散仿真模型构建滤波器,基本的单元有梯形积分器、预估器、加法器、放大器。梯形积分器的差分形式的表达式为:

$$y(n) = y(n-1) + (x(n) + x(n-1)) \times t_s / 2 \quad (1)$$

式中: $x(n)$ 为输入; $x(n-1)$ 为上一个时刻的输入; $y(n)$ 为输出; $y(n-1)$ 为上一个时刻的输出; t_s 为数字滤波器采样间隔。

积分器的实现框图如图 10 所示。预估器采用笔者提出的预估算法,解决了代数环问题,具体实现如图 11 所示。各种滤波器的完整实现只需把梯形积分器、预估器、加法器、放大器连接起来即可。

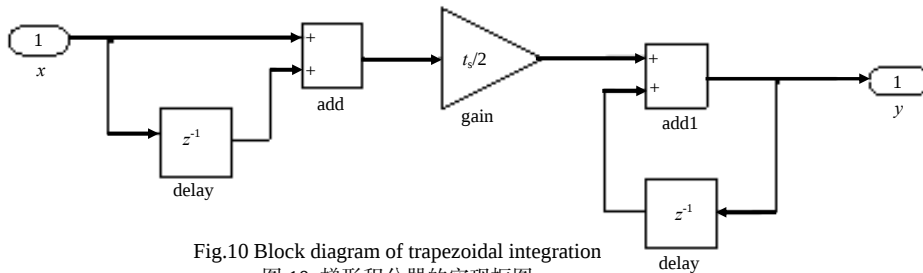


Fig.10 Block diagram of trapezoidal integration
图 10 梯形积分器的实现框图

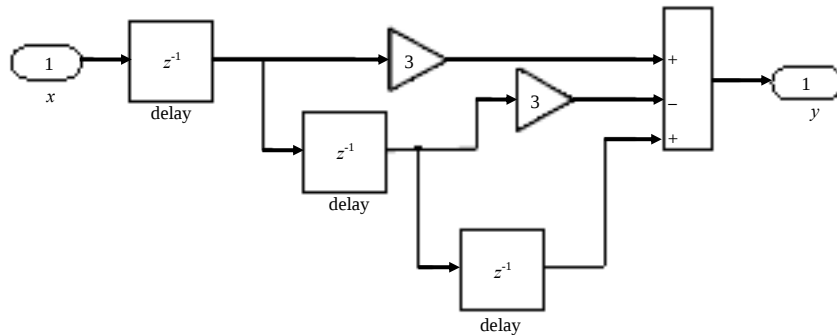


Fig.11 Block diagram of predictor
图 11 预估器的实现框图

4 结论

SDOF 的弹簧力、阻尼力、惯性力呈现低通、带通、高通的特性。构建 Z 域 SDOF 模型,从这个模型的不同端子引出可构成一个二阶的低通、带通、高通数字滤波器基本单元。对于陡度要求不高的场合,可直接应用。

低通、高通数字滤波器,可以用若干个基本单元串联实现更高的陡度,同时需要对基本单元的共振频率进行修正;窄带带通数字滤波器,用带通滤波器基本单元可以实现,通过改变阻尼比来改变带宽。若干个二阶的带通滤波器基本单元串联可以使得阻带衰减更好;宽带带通滤波器可以由低通、高通滤波器基本单元串联而成。对于宽带带阻滤波器可以由低通、高通滤波器并联输出相加而成。

本方法直接根据需要的截止频率设计滤波器,滤波器基本单元只需要阻尼 C 、刚度 K 两个参数,设计过程简单,提高了设计效率,而且不需要随着采样频率而变,为数字 IIR 设计提供一种新的思路和方法。

参考文献:

- [1] 李海军,王玉萍,黄耀群. 一种基于 FPGA 节省资源实现 FIR 滤波器的设计方法[J]. 太赫兹科学与电子信息学报, 2010,8(4):455-458. (LI Hai-jun, WANG Yu-ping, HUANG Yao-qun. A method of resources saving to realize FIR filter based on FPGA[J]. Journal of Terahertz Science and Electronic Information Technology, 2010,8(4):455-458.)
- [2] 胡广书. 数字信号处理—理论、算法与实现[M]. 北京:清华大学出版社, 1997. (HU Guang-shu. Digital Signal Process-Theory, arithmetic, and implement[M]. Beijing:TsingHua University publishing company, 1997.)