

文章编号: 2095-4980(2014)05-0757-04

高冲击环境数采存储系统设计

聂飞, 姬勇强

(中国工程物理研究院 总体工程研究所, 四川 绵阳 621999)

摘要: 介绍了数据采集存储系统硬件组成与技术指标、高冲击条件下电路设计方法及元器件选择原则、并行高速多通道数据采集与数据存储、数据预采集技术、系统动态参数设置等关键技术, 利用甚高速集成电路硬件描述语言(VHDL)和 Quartus II 9.0 软件完成了系统原理设计和软件仿真, 并设计了系统原理样机。仿真实验证明设计的系统实现了 16 通道 100 kHz~500 kHz 的数据采集和存储, 能完成失重触发和指定通道阈值触发, 系统运行稳定可靠。

关键词: 高冲击; 预采集; 高速采集; Quartus II 9.0 软件

中图分类号: TN911.3

文献标识码: A

doi: 10.11805/TKYDA201405.0757

Design of data acquisition and storage system in the high shock state

NIE Fei, JI Yong-qiang

(Institute of Systems Engineering, China Academy of Engineering Physics, Mianyang Sichuan 621999, China)

Abstract: The hardware architecture of data acquisition and storage, the method of circuit design and the principle of components option under high shock environment, parallel multi-channel high velocity data acquisition and data storage, data acquisition in advance, and dynamic setting of parameters are introduced in this paper. The system is modularly designed by using Very-high-speed integrated circuit Hardware Description Language(VHDL) and Quartus II 9.0 software, and the prototype is designed as well. The simulation results indicate that the proposed system can realize 16 channels data acquisition and storage with 100 kHz~500 kHz sampling frequencies, and it is controlled by the triaxial acceleration sensor and the threshold trigger based appointed channel. Its stability and reliability are verified.

Key words: high shock; acquisition in advance; high velocity data acquisition; Quartus II 9.0

存储测试技术是方便、经济、有效的测试手段, 现有的存储技术能满足一般的测试要求, 但在一些特殊的测试场合, 如恶劣环境, 长时间测试等, 原有的测试存储技术就难以胜任^[1]。高冲击跌落环境试验对于考核武器的安全性能具有重要意义, 而试验中的力学环境将对通用测试系统构成致命威胁, 传统测量方法只能采用加长测量导线或破坏产品结构来保证试验进行, 特别对于试验过程中动态参数测试, 传统测量仪器已无能为力; 如何在尽量不破坏产品结构的情况下完成加速度和应变的测量与数据存储, 对测试系统提出了较高的要求。目前在跌落测试方面, 尚没有成熟的能抗高冲击的多通道、高速采集存储的异常环境试验用采集记录系统; 对于瞬态参数测试, 更是要求参试仪器必须保证在试验过程中依据测量通道达到设定阈值后可靠触发, 这对于各类异常环境用采集记录系统提出了极高的可靠性要求。

考虑以上因素, 本文选取 ALTERA 公司的现场可编程门阵列(Field Programmable Gate Array, FPGA)芯片 EP2C8^[2]作为核心控制器件, 利用 VHDL 语言和 Quartus II 9.0 软件进行高冲击条件下的高速数据采集存储系统硬件设计。

1 测试存储系统硬件组成

传统的多通道采集系统多采用单片机、A/D 芯片和模拟开关扫描方式构成^[3]。本测试存储系统构成主要包括: 传感器、应变变送器、加速度变送器、信号调理电路、A/D 转换器、FPGA、存储器、电源管理模块和电池。为了提供系统可靠性, 系统采用小容量数据缓存方法, 而非地面测试系统常采用的所用测试数据先缓存后存储的方

法。系统主控制器框图、数据采集框图如图 1 所示。

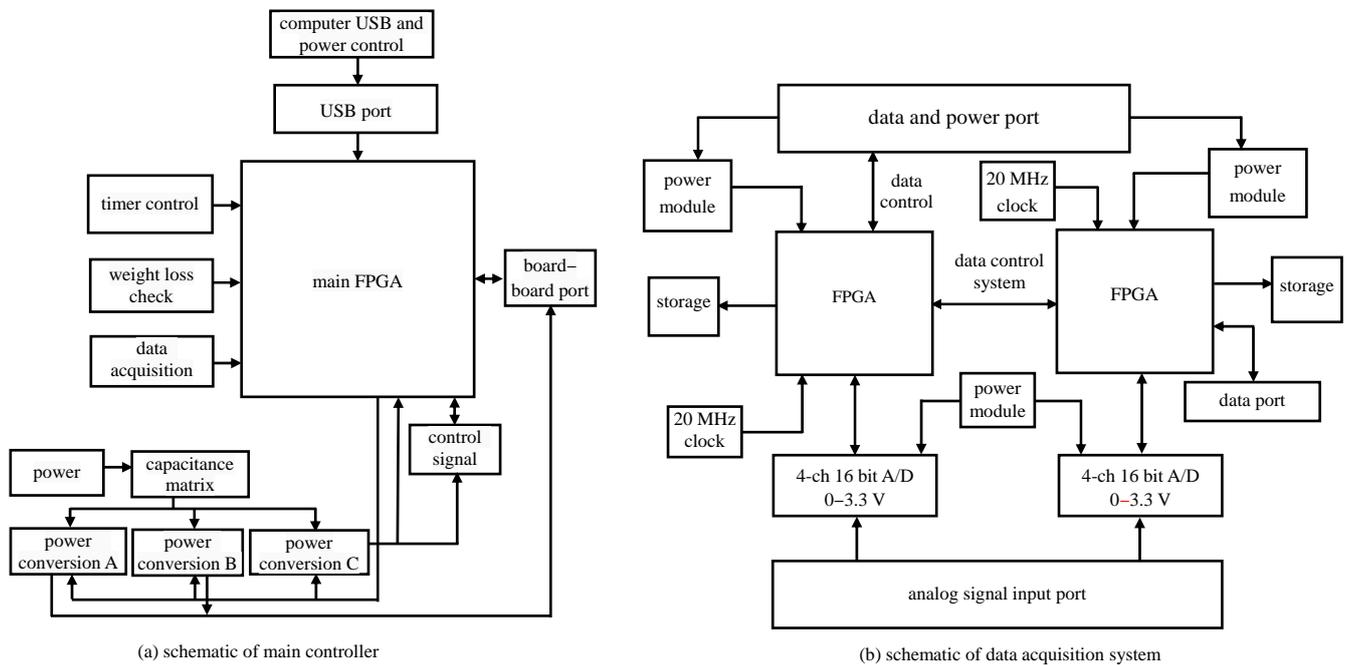


Fig.1 Schematic of system
图 1 系统组成框图

系统设计指标如下：a) 系统模拟通道数：16 通道，独立采样；b) 模拟信号输入范围：0 V~3.3 V；c) 系统采样频率：100 kHz~500 kHz 可选；d) 数据分辨率：16 bit；e) 系统触发方式：定时模式+指定通道加速度阈值+失重检测；f) 数据存储量：128 Kbyte/通道。

2 抗冲击高速测试存储系统关键技术研究

2.1 高冲击条件下的元器件选择与电路结构设计

当系统处于工作状态时，电子学器件在高冲击条件下很容易损坏，同时系统在安装好之后需要长时间处于等待状态，系统的自身发热问题也可能会导致系统整体级毁坏，因此系统器件的选型和电路板的结构布局对于系统研制的成功至关重要，设计中重点考虑如下几点：a) 电路板尺寸；b) 系统元器件选型；c) 系统整体级功耗；d) 元器件在电路板中的布局。

合适的电路板尺寸可有效降低封装结构设计的难度，电路板的尺寸越小，越容易保护，但在系统电路板设计过程中会带来较大的设计难度。在器件选择方面，塑料封装的 IC 比陶瓷封装件抗冲击能力强；金属膜电阻器比碳膜电阻器好；独石电容器、钽电容器比铝电解电容器好；微型片装电阻器、电容器抗过载能力最好。为了减小电路板的平面尺寸，通常选择较小封装的表贴器件，增加印制电路板的层数和应用接插件连接来减小电路板的平面尺寸。

在系统功耗方面，通常选用 FPGA 等低功耗器件，对于系统的主频必须进行合理计算。元器件在电路板中布局时，主要器件尽量放置于电路板的中间部位，对于功耗较大的器件放置要分散，同时需考虑使用覆铜来帮助散热以免引起局部过热。晶振是系统的时钟提供部件，应尽量将晶振和板上其他芯片的放置方向与冲击加速度的方向平行，以提高整个系统的可靠性^[4]。

在系统设计过程中，采用了多块电路板插接模式，采集存储系统由 1 块主控制电路板和 2 块数据采集存储电路板构成。

2.2 高速多通道数据采集与存储

进行高精度、多通道数据实时采集时，以最小的硬件资源消耗实现多通道的数据存储是实现这个数据采集优化的重点^[5]。在该数采系统中，共设计了 16 个模拟输入通道，每 4 个通道为 1 组进行数据存储。由于系统对

每个通道实行并行采集,因此在同一时刻有 4 组数据需要完成存储,为了实现该过程,每个数据必须先实行缓存,然后再按通道顺序对缓存数据进行组合后方可写入数据存储单元。由于是高速采集,通道多,如果实行启动后连续存储数据,就必须要求存储器的容量很大,这对于黑匣子设计来讲难度很大,因此在本系统设计中参照地测仪器的模式,对数据实行预存储,即在指定测量通道加速度值达到设定阈值后再对数据进行存储,达到阈值之前的数据每通道保留设定长度的数据。在本设计中,数据缓存深度和加速度阈值均可通过计算机进行设定,当采集模块上电后自动加载缓存深度参数和加速度阈值,核心控制单元完成对各分单元的自动配置并分配数据缓存区域。综合考虑系统功耗和采样频率等多个因素,本设计中选用铁电存储器 FM22L16 作为数据存储单元^[6],A/D 选用 16 bit 的 1 MSPS 器件 AD7928^[7]。系统以 32/64 Word/次的方式将数据顺序写入 FRAM(Ferroelectric nonvolatile Random Access Memory),系统同步检测设定通道的加速度传感器输出是否达到所设定阈值,若达到设定阈值,指针跳到缓存区域外首地址,同时记录缓冲区末地址值;若没达到设定阈值,则继续覆盖写入缓存区域。

程序框架结构如下:

```

Process(CLK,AD_EN,W_DATA,Data_Save)
Begin
If ad_en='0' then
...
Els if clk'event and clk='0' then
Case state is
When Wait_State=> ...
When WPosition=>
If data_save='1' then
...
End if;
When WD =>
If C256='1' then
...
End if;
End case;
...

```

实现数据采集缓存需要 7 个独立进程,其中 1 个进程完成所有通道的时钟管理,4 个进程独立管理 4 个 A/D 通道数据采集,1 个进程完成加速度阈值比较,1 个进程完成数据合并缓存。数据写入和读出缓存 FIFO 仿真波形如图 2 所示。

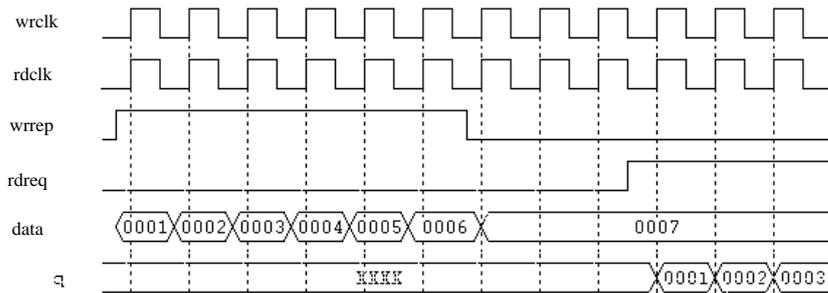


Fig.2 Sequence diagram of FIFO read and write
图 2 FIFO 读写时序图

2.3 动态参数设置与数据预采集技术研究

采集存储系统的采样频率、用于系统触发的加速度阈值、系统启动定时时间和用于数据预采集的系统数据缓存深度都是可变参数。为了降低系统功耗及增强系统可靠性,系统在上电时仅主板电路处于工作状态。为了完成采集参数的设置,需通过 USB 接口由计算机发出上电指令,然后将需要发送的参数打包发送至主控制器,再由主控制器解码后发送至各采集模块控制单元,并将参数存储于存储器的指定单元。定时时间参数在系统使用前由计算机进行设置,直接保存在主控制器内存中,设置完后系统不再掉电,当拔出 USB(Universal Serial Bus)接口后,系统自动进入定时程序。

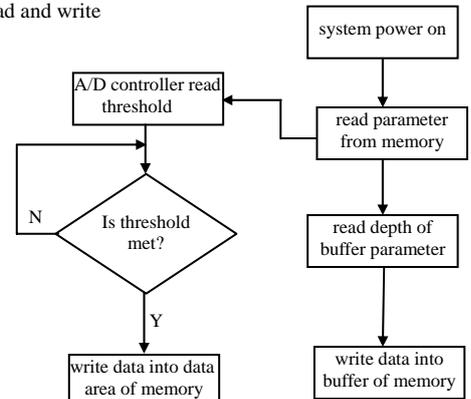


Fig.3 Flow chart of data acquisition in advance
图 3 数据预采集流程图

对于高速数据采集,由于通道较多,如果直接存储数据,数据量将十分庞大,设计难度也很大。为了避免直接存储数据带来的问题,系统采用了数据预采集技术。当系统采集存储电路开始工作时,系统首先将采样频率、触发阈值和缓存数据深度等参数加载到内存中,然后采样控制器自动读取采样频率和触发阈值参数并完成设置,数据读写控制单元将缓存深度参数载入,并自动完成缓存区域设置。随后采集系统进入数据采集阶段,将采集数据存入数据缓存区域,当该区域数据记录满时,再次自动从缓存区域首地址开始记录,当指定通道达到设定阈值时,数据自动从数据区域首地址开始记录数据至写满为止,同时记录最后一次数据写入的地址至存储器参数存储区域。数据预采集流程图如图3所示。

3 结论

在以上研究过程中,实现方法均在 Quartus II 9.0 版本下应用 VHDL 硬件描述语言完成仿真,最终设计了 6 层印制电路板,并完成加工和元器件的焊接。经过系统调试,系统可同步实现 16 通道数据采集存储,采样频率、数据缓存深度和加速度阈值可以设置。在主板待机工作状态下,系统功耗小于 120 mW,在采样频率为 500 kHz 的情况下,系统整体功耗小于 900 mW,满足低功耗设计要求,完全实现系统设计目标。设计的测试存储系统经封装后,进行了跌落碰撞试验,最高峰值加速度达 42 000 g,电路板完好。

参考文献:

- [1] 文丰,乔建忠,李艳. 高过载存储测试中抗过载技术的研究[J]. 传感器与微系统, 2009,28(9):31-33. (WEN Feng,QIAO Jian-zhong,LI yan. Study on anti over-loaded technology in high over-loaded storage testing[J]. Transducer and Microsystem Technologies, 2009,28(9):31-33.)
- [2] Altera Corporation. Cyclone II Device Handbook, Volume1[Z]. 2008.
- [3] 袁亮,古天祥. 基于 CPLD 的多路全并行连续数据采集技术研究[J]. 电子测量与仪器学报, 2006,20(1):56-59. (YUAN Liang,GU Tian-xiang. Multi-channel parallel data acquisition technology based on CPLD[J]. Journal of Electronic Measurement and Instrument, 2006,20(1):56-59.)
- [4] 李乐,祖静,徐鹏. 晶振芯片在高 g 值冲击下的失效机理分析[J]. 仪器仪表学报, 2006,27(6):2589-2590. (LI Le,ZU jing,XU peng. Failure mechanism of crystal oscillator under high-g shock[J]. Chinese Journal of Scientific Instrument, 2006,27(6):2589-2590.)
- [5] 刘义春,丁国清. 基于 FPGA 的高精度多路数据采集与存储[J]. 电子测量技术, 2009,32(7):85-88. (LIU Yi-chun, DING Guo-qing. High-precision multi-channel data acquisition and storage based on FPGA[J]. Electronic Measurement Technology, 2009,32(7):85-88.)
- [6] Ramtron corporation. FM22L16 4 Mbit F-Ram Memory[Z]. 2007.
- [7] Analog Devices. 16-Bit,1 MSPS PulSAR ADC in MSOP/QFN AD7980[Z]. 2008.

作者简介:



聂飞(1976-),男,四川省射洪县人,硕士,高级工程师,主要研究方向为嵌入式测试系统设计、数字图像处理.email:niefei_mail@163.com.

姬勇强(1977-),男,陕西省汉中市人,硕士,工程师,主要研究方向为结构力学.