

文章编号: 2095-4980(2015)01-0101-05

一种基于查找表的 FIR 成型滤波实现装置

梁 尧^{1,2}, 周智勋¹, 何 丽¹

(1.深圳市无线宽带信号传输与处理技术重点实验室, 广东 深圳 518057;
2.哈尔滨工业大学 电子与信息工程学院, 黑龙江 哈尔滨 150006)

摘 要: 脉冲数字成型滤波器属于有限冲激响应(FIR)滤波器的一种, 常规做法是通过传统的乘累加(MACs)方法来实现, 即通过对输入信号与单位冲激响应进行线性卷积。但是, 随着成型滤波器系数的增加, 这种卷积运算势必会占用大量的 MAC 单元以及延迟单元, 导致现场可编程门阵列(FPGA)硬件资源紧张, 系统延迟增大, 设备成本增加。本文联合了 FIR 成型滤波器群延时特征以及基带数字调制符号特性, 提出了一种新的查找表(LUT)结构的 FIR 滤波方法, 并且在 FPGA 上实现。软硬件仿真结果表明, 这一方法无论从精确度和资源利用上都具有一定的优势。

关键词: FIR 成型滤波器; 查找表; 现场可编程门阵列

中图分类号: TN929.5

文献标识码: A

doi: 10.11805/TKYDA201501.0101

An implementation device for pulse shaping FIR filters based on Look-Up-Table

LIANG Yao^{1,2}, ZHOU Zhixun¹, HE Li¹

(1.Shenzhen Key Laboratory of Wireless Broadband Communication and Signal Processing, Shenzhen Guangdong 518057, China;
2. School of Electronics and Information Engineering, Harbin Institute of Technology, Harbin Heilongjiang150006, China)

Abstract: As a kind of Finite Impulse Response(FIR) filters, pulse shaping FIR filter is implemented by Multiply-Accumulates(MACs), which performs convolution between input signal and unit pulse respond. Nevertheless, the convolution will cost a lot of MACs as the coefficient of filters increases. This will cause the shortage of Field Programmable Gate Array(FPGA) MACs, increase the system delay and device cost. According to group delay of pulse shaping FIR filter and base band modulated symbol character, a new implementation method for Pulse Shaping FIR filters based on Look-Up-Table(LUT) of FPGA is proposed. The results of software and hardware simulation demonstrate the method is area-efficient without any accuracy loss.

Key words: pulse shaping FIR filters; Look-Up-Table; Field Programmable Gate Array

脉冲数字成型滤波器^[1]可以对通信基带信号的频谱进行专门加工, 使其在消除码间干扰和实现最佳检测的前提下, 压缩信号频带, 提高频谱的利用率, 对解决现代数字通信频带拥挤问题具有重大的意义。由于其属于 FIR 滤波器的一种, 常规的做法是通过传统的乘累加方法来实现, 即通过对输入信号与单位冲激响应进行线性卷积^[2]。但是, 随着成型滤波器系数的增加, 这种卷积运算势必会占用大量的 MAC 单元以及延迟单元, 导致 FPGA 硬件资源紧张, 系统延迟增大, 设备成本增加^[3]。然而, 在扩频通信、深空通信、CDMA 蜂窝通信以及军用专网通信系统中^[4], 为了保证信号的可靠性, 往往采用低阶的调制方式。当基带输出信号为低阶调制信号时, 成型滤波器的输入电平取值数量十分有限, 如二进制相移键控(Binary Phase Shift Keying, BPSK)调制只有 +1 和 -1 两种电平。加之, 对于群延时相对较小的成型滤波器来说, 决定滤波器输出的参数只包含若干个, 因此可以结合 FIR 成型滤波器的群延时特性以及基带调制符号特性来构造高效查找表。本文基于以上理论, 提出了一种新型查找表结构的 FIR 成型滤波方法。相对传统的分布式 FIR 查找表结构^[5], 由于该查找表构造过程中充分利用了已知的群延时特性、基带调制符号类型等信息, 具有查表空间小、延迟小、资源利用率高等优点。

收稿日期: 2013-12-11; 修回日期: 2014-05-06

基金项目: 深圳市战略新兴产业发展专项资助项目(JCYJ20120619140254275)

1 脉冲数字成型滤波器

由于数字通信基带符号输出通常为脉冲信号，频带特点几乎是无穷宽，如果不加处理，直接发射的话，将会占用大量的带宽，造成频谱资源的浪费^[6]。脉冲数字成型滤波器是数字上变频的一个基本元素，通常采用平方根升余弦 FIR 滤波器结构。一方面可以对基带信号进行频带压缩；另一方面实现信号多倍速率转换，将低速率的基带符号，通过插值到 DAC 工作频率 f_s ，匹配数模转换输出。脉冲成型时域效果如图 1 所示。常规长度为 N 阶脉冲数字成型滤波器的差分方程为^[7]：

$$y(n) = \sum_{m=0}^{N-1} h(m)x(n-m) \quad (1)$$

从图 2 数字成型滤波器的结构可以看出数字成型需要大量的卷积运算，并且随着成型滤波器系数的增加，这种卷积运算将会线性递增，最终可能会导致 FPGA 硬件乘法器资源紧张，系统延迟增大，设备成本增加。

2 新型查找表的设计

本文充分利用了成型滤波系统已知的群延时特性、基带调制符号类型等信息^[8]，提出了一种基于查找表的 FIR 成型滤波器实现装置，包括成型滤波器系数的生成、成型滤波查找表制作、成型滤波查找表硬件实现和时序控制，整个装置架构如图 3 所示。

2.1 成型滤波器系数的生成

成型滤波器在结构上通常是升余弦滚降滤波器或者是平方根升余弦滚降滤波器。在已知成型滤波器滚降系数 α 、群延时 τ 以及升(降)采样的倍数 N 前提下，利用 Matlab 或者其他的数字滤波器设计工具，直接生成成型滤波器的系数：

$$\mathbf{h} = [h_0 \ h_1 \ h_2 \ \dots \ h_{2N\tau-1} \ h_{2N\tau}] \quad (2)$$

2.2 成型滤波器装置查找表的制作

根据基带输入信号特性和成型滤波器参数特征将各种可能的输出结果制作成有限的查找表。如图 4，具体实施过程包括以下几个部分：

- 1) 查找表深度的决定。由输入基带信号 I 路(或 Q 路)调制阶数 M (电平数为 2^M)、成型滤波器群延时 τ 共同决定。其中查找表的地址线数目为 $2\tau M$ ，查找表总深度为 $2^{2\tau M}$ 。
- 2) 查找表个数的决定。上述 1)只考虑单倍升(降)采样的情况查找表的数目，对于 N 倍升(降)采样来说，查找表的个数为 N 个。
- 3) 查找表的生成。将任意一种可能取值的 2τ 个基带信号插零构成如下的向量：

$$\mathbf{x} = [x_0, \text{zeros}(1, N-1), \dots, x_{2\tau-1}, \text{zeros}(1, N-1)] \quad (3)$$

式中：上述向量元素个数为 $2N\tau$ 个，包含 $2\tau(N-1)$ 个 0 和 2τ 个非零基带输入信号。将插零后的向量与已知的成型滤波器系数 \mathbf{h} 做线性卷积得到如下的向量：

$$\mathbf{y} = [y_0 \ y_1 \ y_2 \ y_3 \ \dots \ y_{4N\tau-4} \ y_{4N\tau-3} \ y_{4N\tau-2}] \quad (4)$$

式中：上述向量元素个数为 $4N\tau-1$ 个。截取线性卷积结果：

$$\mathbf{lut} = [y_{2N\tau-N} \ y_{2N\tau-N+1} \ \dots \ y_{2N\tau-2} \ y_{2N\tau-1}] \quad (5)$$

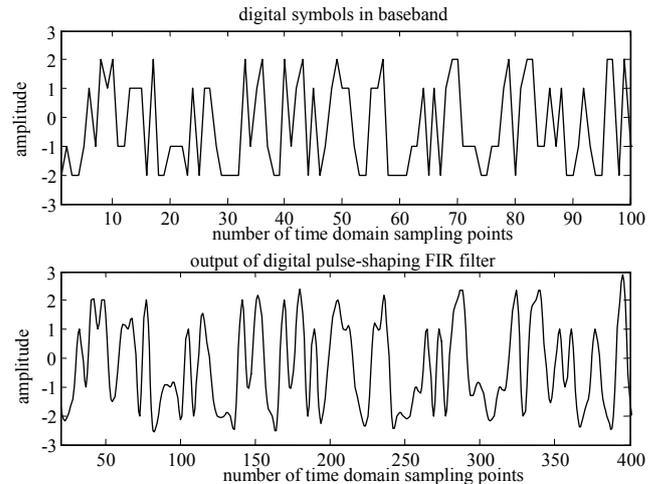


Fig.1 Time domain figure of pulse shaping FIR filters function
图 1 脉冲成型时域效果图

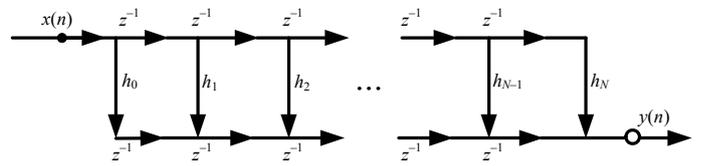


Fig.2 Schematic diagram of implementation for normal digital pulse shaping filters
图 2 常规数字成型滤波器结构

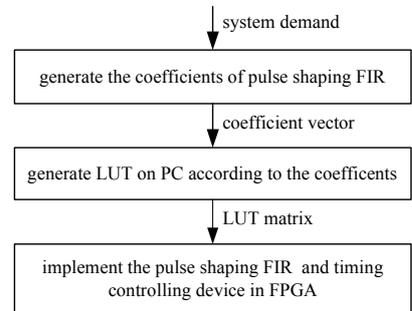


Fig.3 Schematic diagram of digital pulse shaping filters based on LUT
图 3 基于查找表的 FIR 成型滤波装置结构示意图

式中：上述向量元素共有 N 个，作为查找表的内容存取起来。对于输入基带信号调制阶数 M ， 2τ 个基带信号插零构成的向量 X 不同的总可能数有 $2^{2\tau M}$ 种，上述查找表向量 lut 的个数有 $2^{2\tau M}$ 种，组成如下的矩阵形式：

$$LUT = \begin{bmatrix} y^1_{2N\tau-N} & y^1_{2N\tau-N+1} & \cdots & y^1_{2N\tau-2} & y^1_{2N\tau-1} \\ y^2_{2N\tau-N} & y^2_{2N\tau-N+1} & \cdots & y^2_{2N\tau-2} & y^2_{2N\tau-1} \\ \vdots & \vdots & & \vdots & \vdots \\ y^{2^{2\tau M}}_{2N\tau-N} & y^{2^{2\tau M}}_{2N\tau-N+1} & \cdots & y^{2^{2\tau M}}_{2N\tau-2} & y^{2^{2\tau M}}_{2N\tau-1} \end{bmatrix} \quad (6)$$

该矩阵为 $2^{2\tau M} \times N$ 阶矩阵，对应于 N 个深度为 $2^{2\tau M}$ 的查找表存储元素。至于查找表输出位宽的决定，考虑到 FPGA 硬件一般是对定点数据的处理，根据系统精确度的要求，以及输入信号的特征，对上述矩阵 LUT 的元素进行合理定点化和截位输出。

2.3 成型滤波器硬件实现和时序控制

该部分主要包括硬件查找表模块、输入延迟单元、计数器单元、滤波器结果输出选择单元，如图 5 所示。通过在 FPGA 中将 2.2 方法计算得到的查找表(矩阵元素)初始化到硬件存储器(Block RAM)中，对输入信号以及插值结果映射成查找表的地址，最终根据硬件系统的时序控制，输出成型滤波结果。

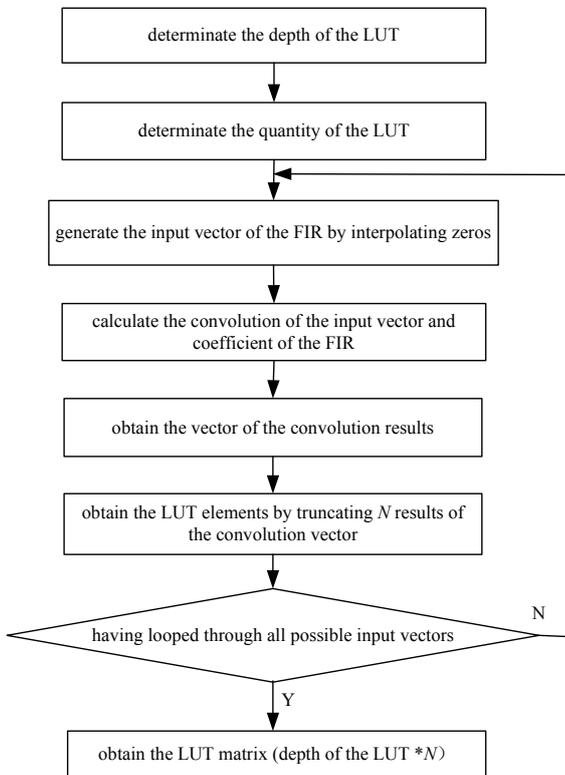


Fig.4 Schematic diagram of LUT design for pulse shaping filters
图 4 查找表制作方法示意图

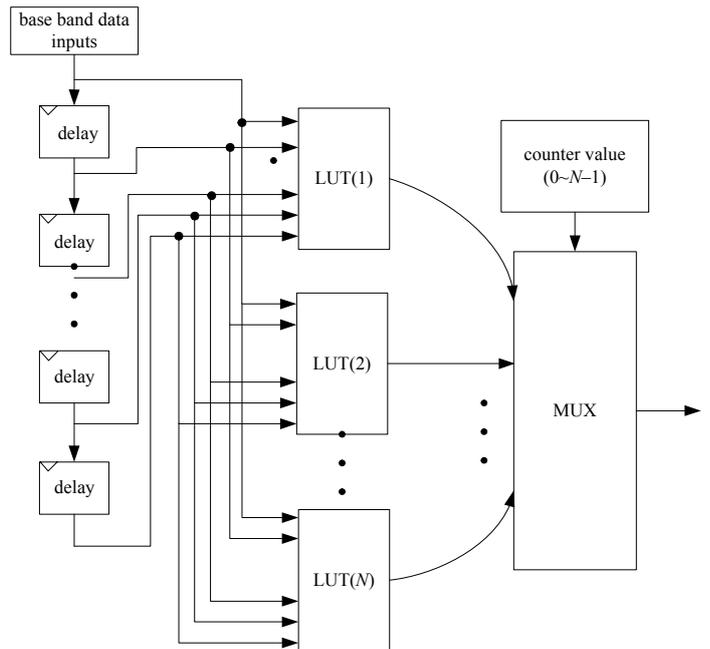


Fig.5 Schematic diagram for timing control in hardware implementation
图 5 硬件实现和时序控制模块结构示意图

3 仿真与分析

本设计仿真以基带符号输入为 16QAM 调制信号，滚降系数为 $\alpha=1$ ，群延时为 $\tau=3$ ，插值倍数为 $N=4$ 的成型滤波器的实现为例。采用本设计基于新型查找表的 FIR 成型滤波器实现装置，分别从时域和频域对比 Matlab 仿真及硬件 FPGA 仿真的结果。

图 6 和图 7 分别从时域和频域对比了本文提出的查找表方法与常规卷积 FIR 实现方法得到的结果，其结果基本吻合。本文提出的基于查找表的成型滤波方法在硬件 FPGA 中实现，通过 Modelsim 波形仿真，得到硬件时序和结果图。最终在 FPGA 采用 16 bit 定点量化实现了查找表方法，将硬件 Modelsim 仿真的数据保存，导入到 Matlab 中与软件定点仿真进行比较，两者的结果完全一致，说明本文提出的查找表方法的精确度完全符合预期设计要求。

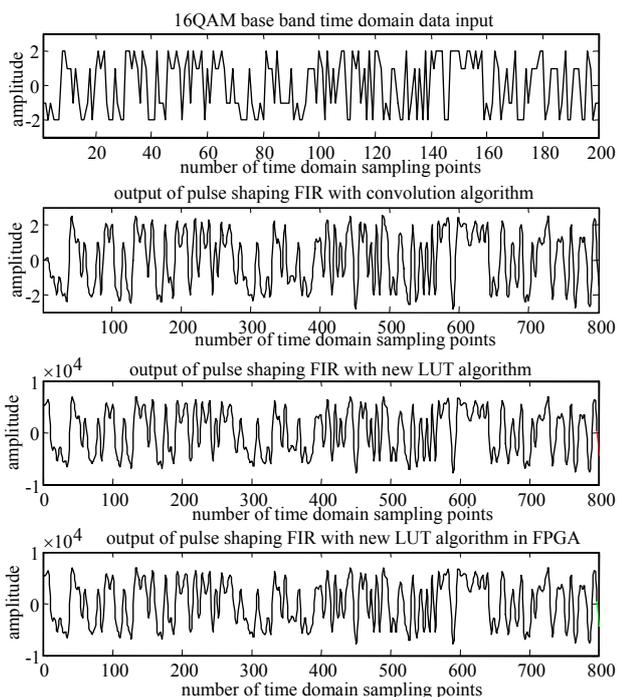


Fig.6 Time domain figures of pulse shaping filters with 16QAM in-phase
图 6 16QAM I 路成型滤波时域仿真图

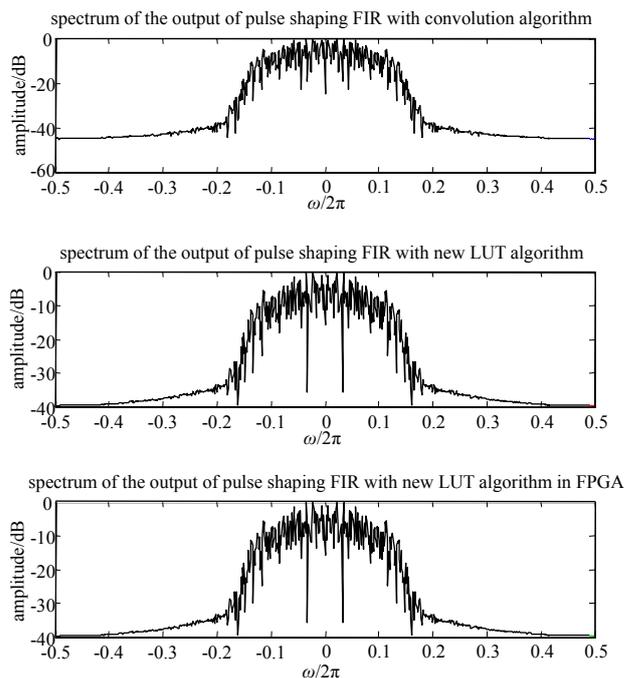


Fig.7 Frequency domain figures of pulse shaping filters with 16QAM in-phase
图 7 16QAM I 路成型滤波频域仿真图

表 1 为本文提出的算法、常规 FIR 算法及并行分布式算法^[1]三者在资源上的对比。如果用常规 FIR 滤波器实现方法，考虑了 FIR 滤波器系数的对称性后，还需要耗费乘法器 12 个，加法器 23 个，并且会产生比较大的输出延迟；使用并行分布式算法，需要耗费 2 个 $2^{24} \times 16$ 的查找表(共 512 Mb 的 RAM)，1 个加法器，并且会产生比较大的输出延迟；但是使用本文提出的查找表方法，则滤波器系数相同的情况下，只需要 4 个 $4\ 096 \times 16$ 的查找表(共 256 Kb 的 RAM)和 6 个延迟单元，大大地节省了硬件乘累加资源，并且具有输出延迟小的特点。

表 1 不同方法下 FPGA 硬件资源使用情况对比

Table1 Comparison of resource utilization in FPGA among different methods

item	the proposed algorithm	common FIR implementation	parallel distribution algorithm
FIR coefficients	24	24	24
multiplier	0	12	0
adders	0	23	1
RAM	$4 \times 2^{12} \times 16$ LUTs (256 Kb)	0	$2 \times 2^{24} \times 16$ LUTs(512 Mb)
delays	6	24	24

4 结论

本文提出了一种新型查找表结构的 FIR 成型滤波器，相对传统分布式 FIR 查找表结构，由于该查找表构造过程中充分利用了已知的群延时特性、基带调制符号类型等信息，具有查表空间小、延迟小、资源利用率高等优点，在扩频通信、深空通信、CDMA 蜂窝通信以及军用专网通信系统等低阶数字调制系统中具有广泛的应用，使得在硬件乘法器资源相对短缺的 FPGA 系统中实现数字上变频。

参考文献：

[1] Weng Shiuh-Ku,Shyu Jong-Jy. A new approach to the design of pulse shaping FIR filters[C]// 1994 IEEE Asia-Pacific Conference on Circuits and Systems. Taipei,China:IEEE, 1994:243-248.
 [2] 杨丽杰,崔葛瑾. 基于 FPGA 的 FIR 滤波器设计方法的研究[J]. 东华大学学报:自然科学版, 2006,32(6):93-96. (YANG Lijie,CUI Gejin. The research of FIR filter design methods implemented on FPGA[J]. Journal of Donghua University: Natural Science, 2006,32(6):93-96.)
 [3] 田耘,徐文波,张延伟. 无线通信 FPGA 设计[M]. 北京:电子工业出版社, 2008:195-200. (TIAN Yun,XU Wenbo, ZHANG Yanwei. Design of wireless communication FPGA[M]. Beijing:Publishing House of Electronics Industry, 2008: 195-200.)

- [4] 王翔. 无线通信技术发展分析[J]. 通信技术, 2007(6):60–62. (WANG Xiang. Analysis on the development trend of wireless communication technology[J]. Communications Technology, 2007(6):60–62.)
- [5] 崔永强,高晓,丁贺素馨. 基于 FPGA 分布式算法的滤波器设计[J]. 现代电子技术, 2010(16):117–119. (CUI Yongqiang, GAO Xiaoding, HE Suxin. Design of filter based on FPGA distributed algorithm[J]. Modern Electronics Technology, 2010(16):117–119.)
- [6] 陈东华. 升余弦滚降基带成型内插滤波器的 FPG 实现[J]. 华侨大学学报:自然科学版, 2006,27(3):310–312. (CHEN Donghua. Implementation of raised-cosine roll off pulse shaping interpolated filter based on FPGA[J]. Journal of Huaqiao University:Natural Science, 2006,27(3):310–312.)
- [7] 王顶,刘智朋,赵颐轩. 基带成形滤波器的数字设计与实现[J]. 电子设计工程, 2012,20(13):95–97. (WANG Ding, LIU Zhipeng, ZHAO Yixuan. Digital design and realization of the baseband shaping filter[J]. Electronic Design Engineering, 2012,20(13):95–97.)
- [8] Choi Jong-Kwan, Hwang Sun-Young. Area-efficient pulse-shaping 1:4 interpolated FIR filter based on LUT partitioning[J]. Electronics Letters, 1999,35(18):1504–1505.

作者简介:



梁 尧(1984–), 男, 广东省茂名市人, 硕士, 工程师, 主要研究方向为无线通信理论及 FPGA 硬件实现. email:liangy@tsinghua-sz.org.

周智勋(1985–), 男, 四川省广元市人, 硕士, 工程师, 主要研究方向为无线通信算法及其系统实现.

何 丽(1986–), 女, 湖南省常德市人, 硕士, 工程师, 主要研究方向为无线通信及嵌入式软件.

(上接第 89 页)

- [8] 董焯,董志伟,杨温渊,等. 0.22 THz 折叠波导行波管放大器理论分析与数值模拟[J]. 太赫兹科学与电子信息学报, 2011,9(3):313–319. (DONG Ye, DONG Zhiwei, YANG Wenyuan, et al. Theoretical analysis and numerical study of 0.22 THz FWG-TWT[J]. Journal of Terahertz Science and Electronic Information Technology, 2011,9(3):313–319.)
- [9] 王亚军,颜胜美,陈樟. 0.22 THz 宽带折叠波导慢波结构的设计[J]. 太赫兹科学与电子信息学报. 2014,12(1):14–18. (WANG Yajun, YAN Shengmei, CHEN Zhang. Design of slow-wave structure for 0.22 THz broadband folded waveguide[J]. Journal of Terahertz Science and Electronic Information Technology, 2014,12(1):14–18.)
- [10] WANG W X, YU G F, WEI Y Y. Study of the ridge-loaded helical-groove slow-wave structure[J]. IEEE Trans. Microwave Theory Tech., 1997,45(10):1689–1695.
- [11] WANG D, FAN Z K, CHEN D B, et al. Investigation of dispersion characteristics in coaxial disk-loaded slow-wave structures with both symmetric and asymmetric modes[J]. IEEE Trans. Plasma Sci, 2007,35(4):1070–1074.
- [12] Glushkov A R, Mukhin S V, Solntsev V A. Electrodynamics characteristics of coaxial-radial line slow-wave structure[J]. Journal of Communications Technology and Electronic, 1993,38(2):99–104.

作者简介:



王 兵(1981–), 男, 四川省乐山市人, 博士, 主要从事微波毫米波技术与理论研究. email: wbfaraday@gmail.com.

文光俊(1964–), 男, 四川省南充市人, 教授, 主要从事射频毫米波集成电路与系统、高功率微波器件及效应、新型材料等方面的研究.

王文祥(1940–), 男, 江苏省无锡市人, 教授, 主要从事微波电子学、相对论电子学和高功率微波等领域的研究.