

文章编号: 2095-4980(2015)02-0262-05

X波段低相噪频率综合器设计

黄学金

(成都天奥电子股份有限公司, 四川 成都 611731)

摘要:介绍了一种X波段低相噪频率综合器的实现方法。采用混频环与模拟高次倍频相结合的技术,实现X波段跳频信号的产生。采用该技术实现的频率综合器杂散抑制可达 -68 dBc,相噪优于 -99 dBc/Hz@1 kHz, -104 dBc/Hz@10 kHz, -106 dBc/Hz@100 kHz。重点论述了所采用的低相噪阶跃倍频的关键技术,详细分析了重要指标及其实现方法,实测结果证明采用该方法可实现给定指标下的X波段低相噪频率综合器。

关键词: 频率综合器; 低相噪; 低杂散; 阶跃恢复二极管

中图分类号: TN74

文献标识码: A

doi: 10.11805/TKYDA201502.0262

Design of X band low phase noise frequency synthesizer

HUANG Xuejin

(Chengdu Spaceon Electronics Co.Ltd, Chengdu Sichuan 611731, China)

Abstract: A method of designing X-band low phase noise frequency synthesizer is proposed. By combining the mixer-Phase Locked Loop(PLL) and the analog of high order multiplier, the hopping signal of X-band is realized. The synthesizer can achieve specifications including spurious-suppress below -68 dBc and phase noise below -99 dBc/Hz@1 kHz, -104 dBc/Hz@10 kHz, -106 dBc/Hz@100 kHz. It emphasizes the key techniques of low phase noise multiplier using step recovery diode, and analyzes the method of implementing specifications. Through the measured results, it is demonstrated that the method can design the X-band low phase noise frequency synthesizer achieving the given specifications.

Key words: frequency synthesizer; low phase noise; low spur; Step Recovery Diode(SRD)

频率综合器是产生各种信号的设备,是现代雷达、电子侦查和电子对抗等领域的核心组成部分。其性能的优劣很大程度上决定了整个系统性能的好坏。当前各类电子系统对频率综合器产品的指标要求日益增高,主要体现在宽频带、细步进、低相噪、低杂散、低功耗和高输出频段等,尤其在军事装备中通信、侦察、雷达、敌我识别等系统对频率综合器的相位噪声和杂散等指标要求更为苛刻。

近年来,无论在军用领域还是民用领域,对测距的精确度要求日益提高,且频谱资源日益紧张^[1]。这都要求作为信号源或者本振使用的频率源要有高输出频率(以拓宽频谱资源)、低相位噪声(高稳定度)、低杂散以提高系统灵敏度及精确度等性能。本文采用混频环结构与模拟高次倍频相结合的方式,设计了一款具有低杂散、低相位噪声、高输出频率、宽输出频段等优点的X波段频率综合器。

1 频率综合器简介

频率源既是激励信号源,又是本振信号源。它通过频率合成技术将一个(或多个)基准频率变换成一个(或多个)满足指标要求的所需频率。根据合成方法的不同,可分为直接模拟式、直接数字式(Direct Digital frequency Synthesis, DDS)、间接模拟式、间接数字式。频率合成技术经历了直接模拟频率合成技术、锁相环(PLL)的间接频率合成技术、DDS技术与PLL技术相结合的混合式频率合成技术3个阶段,后2个阶段为现在的主流技术。其中PLL为频率合成技术的核心部分,它主要由鉴相器、低通滤波器、压控振荡器3大部分组成。其基本原理框图如图1所示,图中 f_r 为参考输入, PFD为鉴频鉴相器, f_o 为射频输出。

2 主要技术指标和实现方案

X波段低相噪频率综合器的主要指标为: 输出频率为 11 700 MHz~12 860 MHz; 频率步进为 20 MHz; 杂散抑制优于 -65 dBc; 相位噪声在频偏 10 Hz 处优于 -55 dBc/Hz, 频偏 100 Hz 处优于 -78 dBc/Hz, 频偏 1 kHz 处优于 -92 dBc/Hz, 频偏 10 kHz 处优于 -95 dBc/Hz, 频偏 100 kHz 处优于 -100 dBc/Hz。根据指标要求, 结合工程实际, 本方案采用典型混频环结构结合谐波倍频方式实现, 原理框图如图 2 所示。

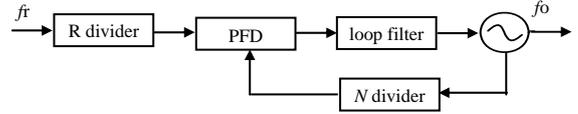


Fig.1 Block diagram of PLL basic function
图 1 PLL 基本原理框图

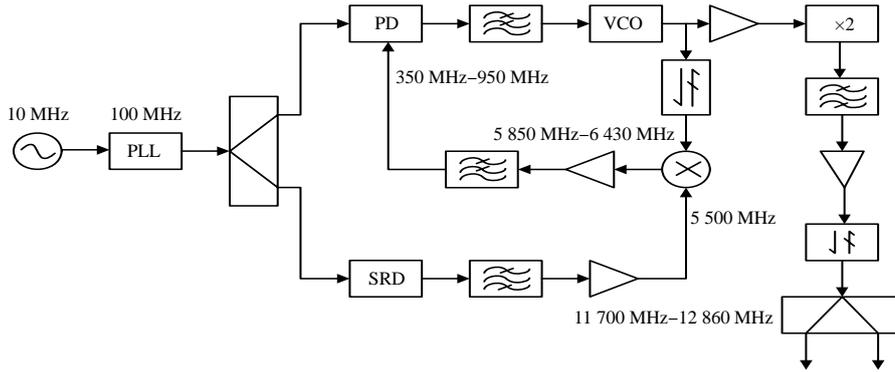


Fig.2 Block diagram of X band frequency synthesizer function
图 2 X 波段频率综合器原理框图

具体工作原理为: 外部输入 10 MHz 参考信号, 通过数字锁相环锁定一个 100 MHz 恒温晶振(参考环)。100 MHz 恒温晶振输出信号共分为 2 路: 一路给主锁相环提供参考信号, 另一路用于谐波倍频产生 5 500 MHz 信号作为混频环的混频本振。该本振信号与压控振荡器(Voltage Controlled Oscillator, VCO)反馈信号下混频得到 350 MHz~950 MHz 中频信号, 该信号反馈至主环路与 100 MHz 参考信号鉴相, 鉴相频率为 10 MHz。VCO 输出频率为 5 850 MHz~6 430 MHz, 经二倍频后输出频率为 11 700 MHz~12 860 MHz, 此信号频率经滤波放大隔离后功分为 2 路输出。输出频率为:

$$F_{out} = [(f_{PD} \times N) + f_{LO}] \times 2 \tag{1}$$

式中: F_{out} 为输出频率信号; f_{PD} 为鉴相频率; N 为环路倍频次数; f_{LO} 为混频环本振信号。

参考环单元采用数字锁相环实现。器件采用 ADF4002BRU, 工作频率 400 MHz, 最高鉴相频率 200 MHz。设计采用窄带锁相环(BW \approx 30 Hz), 鉴相频率 10 MHz。输出 100 MHz 信号在 100 Hz 及以上的相噪由恒温晶振自身保证, 环路滤波器采用无源环路。对 100 MHz 恒温晶振的选择, 一方面相噪指标需满足设计要求; 另一方面需要重点考虑高稳定度(老化)指标, 避免由于晶振的频率漂移导致无法锁定的状况。

主锁相环采用 HMC700LP4, 该器件工作频率 8 GHz, 最高整数鉴相频率 160 MHz。VCO 采用定制方式, 为避免有源环路对相噪影响, 该环路采用无源环路滤波器实现, 因此 VCO 定制调谐电压为 0.5 V~4.5 V。锁相环鉴相频率 10 MHz, 环路为宽带设计, 其带宽约为 500 kHz, 500 kHz 以内相噪由锁相环路自身保证, 500 kHz 以外相噪由 VCO 自身相噪保证。

输出倍频电路采用 HMC368LP4 二倍频器完成, 该器件具有体积小、功耗低、倍频效率高等优点。

混频本振电路由锁定后的 100 MHz 恒温晶振通过谐波倍频至 5 500 MHz 所得。该电路为本产品的关键电路。

3 关键技术

本设计的难点在于低相噪、低杂散指标难以实现。如果采用常规 DDS 推 PLL 的方式很难满足要求, 且功耗较高。为最大限度减少有源器件对相位噪声恶化的影响, 特采用谐波倍频所得频率作为混频环的混频本振, 以提高混频信号的相噪指标。为此采用阶跃恢复二极管(SRD)倍频器^[2]作为谐波倍频电路。该电路亦成为本方案低相噪设计的关键。倍频器关键器件是阶跃恢复二极管, 该器件是一种理想非线性元件, 其正向储存电荷使元件产生很低的阻抗, 而反相储存电荷则能使元件呈现很高的阻抗。谐波产生的原理是基于将阻抗变化作为时间的函数, 在适当正弦波的激励下, 每个周期都能产生很窄的高频脉冲, 因此能获得效率较高的谐波分量。基于 SRD 组成的倍

频器原理如图3所示。

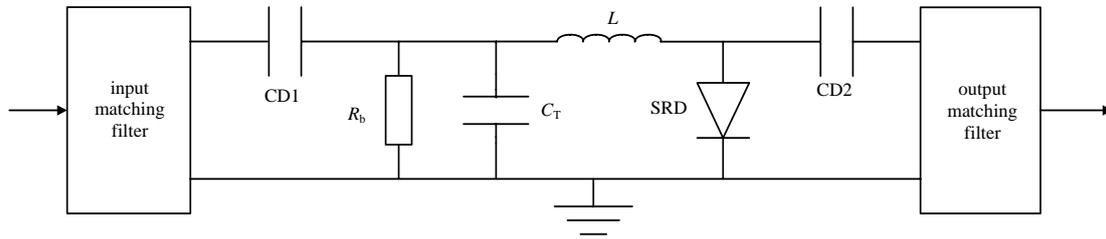


Fig.3 Block diagram of SRD doubler function
图3 SRD倍频器原理图

SRD倍频器主要部分是脉冲发生器，其中包括SRD、激励电感L和和调谐脉冲发生器输入电纳的电容CT，图中CD1,CD2为隔直电容。L和CT近似计算如下：

$$L \approx \frac{1}{\omega_0^2 C_T} \tag{2}$$

$$C_T \approx \frac{1}{2\omega_i^2 L} \tag{3}$$

式中：CT为SRD反偏结电容；ωi和ωo分别为输入输出频率。

图3所示电路形式为SRD自偏置，该电路与有源偏置电路相比，具有电路简洁，且相噪指标优异等特点。其偏置电阻Rb近似计算公式如下^[3]：

$$R_b \approx \frac{2\tau}{n^2 \pi C_T} \tag{4}$$

式中：τ为少数载流子寿命；n为倍频次数。

4 设计分析

4.1 相位噪声分析

数字锁相环一般包括环路所需的参考分频器、鉴频鉴相器、可编程分频器等。数字锁相环的噪声^[4]来源主要有：基准信号源的输出相位噪声、参考分频器的输出相位噪声、鉴相器本身的输出噪声电压、环路滤波器产生的等效输入噪声电压、可编程分频器的输出相位噪声和VCO的输出相位噪声。由于各噪声源是随机和互不相关的，因此环路输出的总相位噪声功率谱密度是由各个噪声源的功率谱经环路功率传递后叠加而成。

由环路引入的各噪声是低通型噪声，压控振荡器本身的噪声是高通型噪声。即合成器输出信号的相噪在环路滤波器通带内由环路输入端各噪声决定，通带外由压控振荡器本身的噪声决定。

由原理框图(图2)可见，该频率综合器输出相位噪声由100 MHz参考环、主锁相环、SRD倍频器及输出二倍频器4部分共同贡献。其中100 MHz锁相晶振为整个频率综合器提供参考，锁相环采用窄带环路(BW ≈ 30 Hz)，输出100 MHz信号在100 Hz及以外的相噪由100 MHz恒温晶振自身保证，100 Hz及以内相噪由环路保证。其输出相位噪声分析见表1。

主环采用HMC700LP4鉴相器，根据锁相环理论，环路带内相噪主要由参考源相噪和PLL器件噪声基底共同决定^[5]。

参考信号相位噪声对输出信号相噪的贡献：

$$L_1(f) = L_r(f) + 20 \log \frac{N}{R} \tag{5}$$

鉴相器基底相噪对输出信号相噪的贡献：

$$L_2(f) = L_{PD}(f) + 10 \log F_c + 20 \log N \tag{6}$$

表1 100 MHz锁相晶振输出相位噪声

Table1 Output phase noise of 100 MHz locked phase crystal oscillator		
offset carrier frequency	phase noise/(dBc·Hz ⁻¹)	
	10 MHz	100 MHz
10 Hz	-125	-105
100 Hz	-	-130
1 kHz	-	-155
10 kHz	-	-163
100 kHz	-	-165

鉴相器基底贡献和参考信号噪声贡献叠加:

$$L(f) = 10 \log \left(10^{\frac{L_1(f)}{10}} + 10^{\frac{L_2(f)}{10}} \right) \quad (7)$$

式中: L_{PD} 为鉴相器的基底相噪; F_c 为鉴相频率; N 为分频比。HMC700LP4 基底相噪见表 2。

利用式(5)~式(7)分别计算出相位噪声, 结果见表 3(表中 $L_a(f)$ 表示参考主导时输出相位噪声, $L_b(f)$ 表示鉴相器主导时相位噪声, $L_c(f)$ 表示主环输出相位噪声)。

混频本振信号频率为 5 500 MHz, 该信号由阶跃二极管直接倍频 55 次产生, 阶跃高次倍频一般认为附加相噪为 3 dB~6 dB(对于极低相噪参考信号, 附加相噪更大), 其混频本振的相位噪声分析见表 4。

主环为混频环结构, 其锁相最终输出相位噪声为环路噪声和混频本振相位噪声叠加而成, 计算公式见式(7), 计算结果见表 5(表中 $L_{LO}(f)$ 表示混频本振相位噪声, $L_o(f)$ 表示主环最终输出相位噪声)。

主环输出经二倍频后相噪恶化 6 dB, 由于二倍频器相噪基底远远高于主环输出相噪, 因此二倍频几乎不会产生附加相噪。频率综合器最终输出相位噪声见表 6。

表 5 主环最终输出相位噪声 @ 6 430 MHz

Table5 Main PLL final output phase noise @ 6 430 MHz

offset carrier frequency	parameters of phase noise/(dBc·Hz ⁻¹)		
	$L_c(f)$	$L_{lo}(f)$	$L_o(f)$
10 Hz	-64.3	-65	-61.7
100 Hz	-87.5	-90	-85.5
1 kHz	-101.3	-115	-100.8
10 kHz	-113.1	-123	-113.4
100 kHz	-113.2	-125	-113.6

表 6 频综最终输出相位噪声 @ 12 860 MHz

Table6 Frequency synthesizer final output phase noise @ 12 860 MHz

offset carrier frequency	parameters of phase noise/(dBc·Hz ⁻¹)
	12 860 MHz
10 Hz	-55.6
100 Hz	-79.5
1 kHz	-94.8
10 kHz	-107.4
100 kHz	-107.6

由以上计算知, 采用本方案完成的产品相噪指标满足指标要求。

4.2 杂散分析

一般来说, 静态情况下频率综合器输出频谱中包含 3 种杂散^[6]: 第 1 种是电源纹波杂散; 第 2 种是频率综合器输出频率之间的相互窜扰而产生的杂散; 第 3 种是实现要求输出频率间高次产物及相互交调所产生的杂散。

本项目中, 频率综合器内部本身并没有采用 DC/DC 的电源处理方式, 仅采用了低压差稳压器, 因此第 1 种杂散基本不存在。

第 2 种杂散主要与电路实现形式、频率综合器结构及电源之间的隔离滤波有关。

第 3 种杂散关键取决于第 2 种杂散的抑制水平, 主要体现在各频率分量通过空间及电源等途径造成的相互串扰产生的寄生信号^[7], 并在有源电路(主要是鉴相器)中形成交调分量。

本方案设计时采取了对各频点单元电路单独分腔设计, 同时对各单元供电进行单独稳压, 并且对盖板采用多层(内嵌盖板)屏蔽方式^[8], 尽量从设计中避免上述杂散的存在。

5 测试结果

采用 Agilent E4440A 频谱分析仪对 X 波段频率综合器在最高输出频率时进行测试。实测指标为: a) 输出频率

表 2 HMC700LP4 基底相位噪声

Table2 HMC700LP4 phase noise floor

HMC700LP4	offset carrier frequency				
	10 Hz	100 Hz	1 kHz	10 kHz	100 kHz
device floor phase noise / (dBc·Hz ⁻¹)	-180	-200	-213	-223	-223

表 3 主环输出相位噪声 @ 6 430 MHz

Table3 Main PLL output phase noise @ 6 430 MHz

offset carrier frequency	parameters of phase noise/(dBc·Hz ⁻¹)			
	100 M	$L_a(f)$	$L_b(f)$	$L_c(f)$
10 Hz	-105	-65.5	-70.5	-64.3
100 Hz	-130	-90.5	-90.5	-87.5
1 kHz	-155	-105.5	-103.5	-101.3
10 kHz	-163	-123.5	-113.5	-113.1

表 4 混频本振相位噪声 @ 5 500 MHz

Table4 Mixing LO phase noise @ 5 500 MHz

offset carrier frequency	phase noise/(dBc·Hz ⁻¹)		
	100 MHz	residual phase noise	5 500 MHz
10 Hz	-105		-65
100 Hz	-130		-90
1 kHz	-155	-5	-115
10 kHz	-163		-123
100 kHz	-165		-125

为11 700 MHz~12 860 MHz; b) 频率步进为20 MHz; c) 杂散抑制为-68 dBc; d) 输出频率为12 860 MHz时相位噪声在频偏10 Hz处优于-63 dBc/Hz, 频偏100 Hz处优于-80 dBc/Hz, 频偏1 kHz处优于-99 dBc/Hz, 频偏10 kHz处优于-104 dBc/Hz, 频偏100 kHz处优于-106 dBc/Hz; e) 供电为+12 V/485 mA,+5 V/580 mA; f) 产品外形尺寸为250 mm×120 mm×34 mm(含有S波段频率综合器电路)。

试验结果表明, 该产品各项指标均达到设计指标要求, 说明该X波段低相噪频率综合器方案可行。在同行业的同类产品中出色地体现其低相噪、低杂散优势。

6 结论

该产品在频偏10 kHz和100 kHz处分别优于国内同行产品5 dBc和4 dBc, 杂散基本相当; 与国外知名厂家对应频段产品比较, 在频偏1 kHz,10 kHz和100 kHz处分别优于2 dBc,6 dBc和3 dBc, 杂散略低于3 dB。本产品方案简洁, 电路简单, 结构单一, 易于调试, 实施性强, 值得推广。但批量生产的工艺还有待进一步提高, 这为以后的工作提出了明确的研究方向。

参考文献:

- [1] 廖梁兵,邓贤进,张红雨. 低相噪毫米波频率合成器设计[J]. 太赫兹科学与电子信息学报, 2010,8(1):33-35. (LIAO Liangbing,DENG Xianjin,ZHANG Hongyu. Design of low phase noise millimeter wave frequency synthesizers[J]. Journal of Terahertz Science and Electronic Information Technology, 2010,8(1):33-35.)
- [2] 金松,费元春. 快速跳频雷达频率合成器的实现[J]. 电讯技术, 1999(1):71-75. (JIN Song,FEI Yuanchun. Realization of fast FH radar frequency synthesizer[J]. Telecommunication Engineering, 1999(1):71-75.)
- [3] 弋稳. 雷达接收机技术[M]. 北京:电子工业出版社, 2005. (YI Wen. Radar Receive Technology[M]. Beijing:Electronics Industry Press, 2005.)
- [4] 赵海清. 一种新颖的频率合成器捷变频方案[J]. 电讯技术, 2002(4):5-8. (ZHAO Haiqing. A novel frequency agility project of frequency synthesizer[J]. Telecommunication Engineering, 2002(4):5-8.)
- [5] Gardner F M. 锁相环技术[M]. 北京:人民邮电出版社, 2007. (Gardner F M. Phase Lock Loop Techniques[M]. Beijing: Post & Telecom Press. 2007.)
- [6] 张厥盛,郑继禹,万心平. 锁相技术[M]. 西安:西安电子科技大学出版社, 1994. (ZHANG Juesheng,ZHENG Jiyu,WAN Xinping. Phaselock Techniques[M]. Xi'an,China:Xidian University Press, 1994.)
- [7] 马向峰. 频率源低杂散设计[J]. 现代电子技术, 2009(21):40-41,46. (MA Xiangfeng. Design of low spurious frequency source[J]. Modern Electronics Technique, 2009(21):40-41,46.)
- [8] 张文勤. Ku波段直接频率综合器设计[J]. 压电与声光, 2007,29(5):499-501. (ZHANG Wenqin. Design of Ku band direct frequency synthesizer[J]. Piezoelectrics & Acousto-optics, 2007,29(5):499-501.)

作者简介:



黄学金(1980-), 男, 四川省内江市人, 学士, 助理工程师, 主要从事频率综合器、信道接收发射方面的研究.email:hj_888888@126.com.