

文章编号: 2095-4980(2017)01-0148-05

集成电路总剂量加固技术的研究进展

印 琴, 蔡洁明, 刘士全, 徐 睿

(中国电子科技集团公司 第 58 研究所, 江苏 无锡 214035)

摘 要: 对集成电路总剂量加固技术的研究进展进行了分析。集成电路技术在材料、器件结构、版图设计及系统结构方面的革新, 促进了总剂量加固技术的发展。新的总剂量加固技术提高了集成电路的抗总剂量能力, 延长了电子系统在辐射环境下的使用寿命。文中总结了近年来提出的新型的总剂量抗辐射加固技术, 如采用 Ag-Ge-S、单壁碳纳米管材料(SWCNT)、绝缘体上漏/源(DSOI)器件结构、八边形的门(OCTO)版图、备用偏置三模块冗余(ABTMR)系统等加固方法, 显著提高了器件或电子系统的总剂量抗辐射能力。研究结果有助于建立完整的总剂量加固体系, 提升抗辐射指标, 对促进总剂量加固技术的快速发展具有一定的参考价值。

关键词: 抗辐射加固; 总剂量; 研究进展

中图分类号: TN401

文献标志码: A

doi: 10.11805/TKYDA201701.0148

Research progress on the technology of total dose radiation hardened

YIN Qin, CAI Jieming, LIU Shiquan, XU Rui

(No.58th Institute, China Electronics Technology Group Corporation, Wuxi Jiangsu 214035, China)

Abstract: The research process of the technology of total dose radiation hardening is analyzed. Integrated circuit technology innovation in materials, device structure, layout design and system structure, promotes the development of the total dose reinforcement technology. The new technology increases the capability of total dose reinforcement and extends the life of the electronic systems in the radiation environment. The recently proposed new total dose radiation hardening technologies, such as using new material like Ag-Ge-S, Single-Wall Carbon Nanotube(SWCNT) etc., adopting Drain/Source On Insulator (DSOI) device structure, OCTOgonal-gate(OCTO) layout, Alternate Biasing Triple Modular Redundancy (ABTMR) system structure, are summarized. These technologies increase the resistance capability to total dose radiation of devices and electronic systems significantly. The research results will help to establish a complete total dose reinforcement system to enhance the anti-radiation index, and can provide reference for promoting the rapid development of total dose radiation hardening technology.

Keywords: radiation hardening; total dose; research progress

空间环境、工艺制造环境等产生的辐射对电子器件及电路系统产生损伤, 最终将导致器件和电路系统的失效, 随着集成电路工艺的迅速发展, 器件的辐射效应备受关注。抗辐射电子学的主要知识体系包括辐射效应、损伤机制和辐射加固 3 个方面。其中辐射效应和损伤机制是研究辐射加固技术的基础。电子电路中的辐射效应分为 3 大类, 分别是总剂量效应(Total Ionizing Dose, TID)、位移损伤(Displacement Damage, DD)、单粒子效应(Single Event Effect, SEE)^[1-2]。总剂量效应是在辐射环境中累积和长期作用的效果, 分析和研究针对总剂量效应的加固技术有助于延长器件及电子系统在受 TID 影响的辐射环境中的寿命。本文研究的总剂量加固技术范围主要涉及材料、器件、版图、系统等方面。

1 总剂量效应辐射机理

总剂量辐射效应是指金属氧化物半导体(MOS)器件持续受到电离辐射(如 χ 射线、 γ 射线等)时, 辐射剂量不断地累积, 从而导致器件性能退化乃至失效。该效应源于电离辐射产生的电子空穴对。总剂量辐射在 MOS 器

收稿日期: 2015-08-01; 修回日期: 2015-10-28

件中引起的效应主要是在氧化物中产生电荷以及在 Si/SiO₂ 界面产生界面态。总剂量效应(TID)是电离辐射在栅氧化层中产生电子-空穴对所导致的一系列效应, 它是由持续一定时间的辐射积累的剂量所致的效应, 能造成 MOS 管的阈值电压漂移, 降低载流子迁移率, 严重影响了 MOS 器件的性能。图 1 所示为栅压为正时 MOS 结构的能带示意图^[3]。图 1 中给出了 MOS 结构氧化层中辐射响应的整个物理过程。首先辐射在 MOS 管的栅氧化层中产生电子空穴对。由于电子的迁移率较大, 在纳秒量级时间内很快复合或在外电场作用下漂移到栅极。而空穴的迁移率较小, 其中一小部分复合, 另一部分在栅氧化层中跃迁到 Si/SiO₂ 界面附近被 SiO₂ 一侧陷阱俘获, 使 MOS 管的阈值电压发生漂移。对应图 1 中的第 2 个物理过程是未来得及复合的空穴在电场的作用下向 Si/SiO₂ 界面运输。接下来的第 3 个物理过程是其中一小部分空穴会被束缚到深能级陷阱中形成正的陷阱电荷, 使得阈值电压发生负向漂移。空穴在“跳跃”输运过程中, 被俘获形成氧化物陷阱电荷的同时还会打破 Si-H 钝化键, 释放出 H, 空穴和 H 在电场作用下输运到界面, 并参与反应生成界面陷阱电荷, 最后在 Si/SiO₂ 界面处建立界面态。

2 总剂量加固技术

由以上对总剂量辐射机理的分析可知, 总剂量辐射效应最终会影响 MOS 管的阈值电压, 使其阈值电压发生负向漂移, 从而进一步影响了 MOS 管的电性能。所以总剂量加固技术必须以总剂量辐射机理为依据, 以恢复 MOS 管的阈值电压为目的。半导体物理学中指出, 计算阈值电压的表达式为:

$$U_{TH} = \varphi_{MS} + 2\varphi_F + \frac{Q_{dep}}{C_{ox}} \quad (1)$$

式中: φ_{MS} 是栅与硅衬底的功函数之差的电压值; φ_F 是与衬底的掺杂浓度有关的费米能级; Q_{dep} 是耗尽区的电荷; C_{ox} 是单位面积的栅氧化层电容, 与栅氧化层的厚度 t_{ox} 有关, t_{ox} 越大, C_{ox} 越大^[4]。所以恢复 MOS 管阈值电压可以考虑以下几种方法。其一从材料的角度考虑, 寻找新的材料代替传统的 SiO₂ 栅氧化物, 或者是新的衬底材料。其二从器件结构的角考虑, 采用新型的器件结构, 彻底消除衬底掺杂对阈值电压的影响。

使用新的材料和新的器件结构能从根本上降低器件对总剂量辐射效应的影响, 但是成本很高。从搜集的资料上看, 为了节约成本, 在使用传统材料及器件结构的基础上, 还有如下几个有效的总剂量加固方法: 如改变版图的几何形状, 减小寄生效应, 缓解总剂量效应, 或者在最后的系统层次上, 通过设计新型的电路结构缓解总剂量效应的影响。下文分别从材料级的总剂量加固技术、器件结构级的总剂量加固技术、版图级的总剂量加固技术及系统级的总剂量加固技术 4 个方面总结了近年来国内外开发的比较新颖的总剂量抗辐射加固技术。

2.1 材料级的总剂量加固技术

1) 辐射加固碳纳米管薄膜晶体管

随着单壁碳纳米管(SWCNT)在性能、功能及高产出率方面的巨大进步, 以 SWCNT 为基础的自组装纳米电子学不断地向基地和空间应用方向发展。在空间应用中, SWCNT 的小横截面以及强的粘结力结构可以减少基于 SWCNT 的晶体管的单粒子事件或缺陷形成的概率。然而重复暴露于电离辐射环境下产生的总剂量效应会对 MOS 器件的介电常数产生退化作用, 这成为基于 SWCNT 的薄膜晶体管(TFT)失效的最主要原因。因此, 通过降低电离辐射下电荷积累对器件的影响, 降低器件对 TID 的敏感性, 开发 TID 加固的 SWCNT 电介质材料器件是非常必要的, 以确保器件在辐射环境中参数的稳定性。

氮氧化硅(SiON)因其更为均衡的空穴和电子俘获特性, 被常用于辐射加固中。C. D. Cress 等采用 23 nm SiON 栅氧化层制造单壁碳纳米管(SWCNT)的 TFT 并研究了其辐射响应^[5]。文献[5]中通过以下 2 种方法对 SWCNT 进行加固, 分别是减小栅氧化层的厚度来降低俘获率; 补偿电荷来平衡俘获的空穴和电子, 从而在栅氧化层上产生 net-zero 区。结合这些技术, SWCNT-TFT 暴露在 2M Rad(Si)总剂量辐射时真空度小于 1×10^{-5} Torr 环境下, 其阈值电压几乎不变化。证实了使用 SiON 作为栅氧化层, 以 SWCNT 为基础的纳米电子学在高 TID 环境中使用的适用性^[5]。

2) 基于 Ag 掺杂 Ge₄₀S₆₀ 的可编程金属化单元

金属掺杂(比如 Ag 或 Cu)硫化化合物, 如 Ge-S, Ge-Se, Ge-Te, 都属于固态电解质, 具有高的离子和电子导

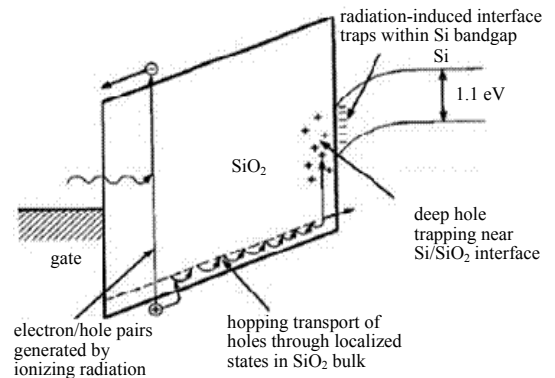


Fig.1 MOS structure diagram of positive gate bias

图 1 正栅偏压下 MOS 结构示意图

电率。当这些固态电解质被注入到阳极金属氧化物(顶层电极)和阴极惰性金属(底层电极)之间时,在电场作用下,形成了从阳极到阴极的金属阳离子,并在阴极端沉积。在阴极,阳离子还原成金属原子,向外沉积生长并在电极间形成导电纤维。这些相对绝缘的硫系化合物上的导电纤维形成与溶解决定电阻开关器件的开关特性。

不断涌现的非易失性存储器技术,比如相位变化存储器,磁阻存储器和电阻存储器,与依靠充电原理存储信息的技术相比显现出了更加优越的抗辐射性能。大量的开关材料表现出了良好的抗辐射性能,这其中包括:Cu 掺杂 HfO_2 (γ 射线达到 350 kRad(Si), 质子达到 5 GRad(Si)); Cu 掺杂 TiO_2 (1 MeV γ 射线达到 45 MRad(Si)); Cu 掺杂 TaO_x (γ 射线达到 45 MRad(Si), 4.5 MeV 质子达到 5 MRad(Si))。

P. Dandamudi 等在文献[6]中提出的锗化银的硫化物(Ag-Ge-S)电解质材料与先前研究的锗化银的硒化物(Ag-Ge-Se)材料相比,Ag-Ge-S 电解质具有更高的关断/导通比(几个数量级),并且比 Ag-Ge-Se 材料具有更高的可靠性和耐久性。硫化物的导通电压也较高(约 500 mV),因此,与 Ag-Ge-Se 材料(导通电压约 200 mV)相比,其具有更高的读、写和擦除噪声容限。硒化物能够在 200 °C 以上的加工温度及 110 °C 以上的工作温度范围内表现稳定,而硫化物材料能够承受的加工温度高达 400 °C,并且能在 150 °C 以上的环境下仍具有较好的开关特性。因此,Ag-Ge-S 材料能够承受传统硅基工艺线上相对较高的温度。目前,基于 Ag-Ge-S 的 130 nm CMOS 1 Mb EEPROM/Flash 已经实现商用。对商业级封装导电桥接 RAM(Conductive-Bridging RAM, CBRAM)存储器产品 γ 射线辐照试验结果表明该类产品抗总剂量能力达到 5 M Rad(Si),在需要利用 γ 射线进行杀菌的医疗设备方面将有新的需求^[6-7]。

2.2 器件级的总剂量加固技术

传统的体硅工艺制造的 MOS 管的抗总剂量能力较弱,后来提出的绝缘体上硅(Silicon-On-Insulator, SOI)工艺技术实现了全介质隔离,减小了结电容,并彻底消除了体硅技术中的闩锁效应。SOI 器件中隐埋氧化层(Buried OXide, BOX)的存在有效减小了单粒子效应(SEE)中电荷收集的数量,从而提高了 SOI 器件的抗单粒子翻转能力。然而,辐射 BOX 层及浅沟槽隔离氧化物(Shallow Trench Isolation, STI)中诱导产生的陷阱电荷使得 SOI 器件的总剂量效应更加复杂。如图 2 所示的结构,基于 SOI 工艺的 MOS 器件根据顶层硅膜的厚度可以分为 2 种类型,即部分耗尽(Partially Depleted, PD)器件和全耗尽(Fully Depleted, FD)器件^[8]。

采用 FD SOI 工艺的 MOS 管,其埋氧化层将硅膜与衬底分离,与传统的体硅工艺的互补金属氧化物半导体(CMOS)技术相比,抗单粒子翻转能力得到显著提高。然而在抗总剂量辐射方面,FD SOI MOS 管受总剂量辐射的影响,诱导更多的正电荷陷入埋氧化层,降低了其抗总剂量能力。对于 PDSOI MOS 管,通过向 Si/SiO₂ 表面注入离子的方法或使用新的 MOS 结构如 BUSFET(Body Under Source FET)的方法能改善 MOS 管的抗总剂量性能。张彦伟等在 SOI 工艺的基础上采用硅离子注入加固的方法,有效地增强了 PD SOI 器件的抗总剂量辐射能力。这是因为加固工艺能够在 BOX 层中形成具有较大俘获截面积的深电子陷阱的硅纳米晶簇,这些深电子陷阱能够俘获辐射过程中产生的电子,降低在 BOX 层中积累的空穴数量,从而增强 SOI 器件的抗总剂量能力。但工艺尺寸达到 28 nm 以下时,由于栅氧化层太薄,不适合进行表面离子注入,并且无法形成 BUSFET 结构。

ZHAO Kai 等近期在文献[9]中提出了 DSOI 结构的 MOS 管。DSOI 的结构见图 3。图中显示 DSOI 有 2 层硅膜,顶层硅(SOI1)用于形成 MOS 器件,中间硅(SOI2)用于加载偏置电压,同时 DSOI 有 2 个 BOX 层。图 3 描述了典型的 DSOI MOS 管的版图结构,其中最关键的是通过深接触孔(2CT)将中间硅(SOI2)与金属线相连。通过在背栅极加偏置电压,DSOI MOS 管提供了与受总剂量辐射在 BOX 层产生的内电场相抵消的外电场,从而减小了阈值电压的漂移和漏电流。ZHAO Kai 等对 DSOI MOS 管作了仿真测试,结果表明,当背栅偏压为 -3 V 时,DSOI MOS 的抗总剂量辐射能力可达到 500 krad(Si)^[9]。

2.3 版图级的总剂量加固技术

在八边形的栅(OCTO)版图结构提出之前,设计师们尝试了其他各种增强 MOS 管抗总剂量能力的方法。如采用等比例缩小 MOS 管尺寸,使用多栅结构(MuGFET,

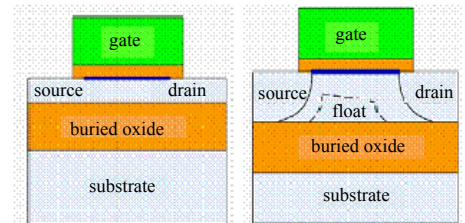


Fig.2 Structure diagram of PDSOI and FDSOI
图 2 PDSOI 和 FDSOI 的结构示意图

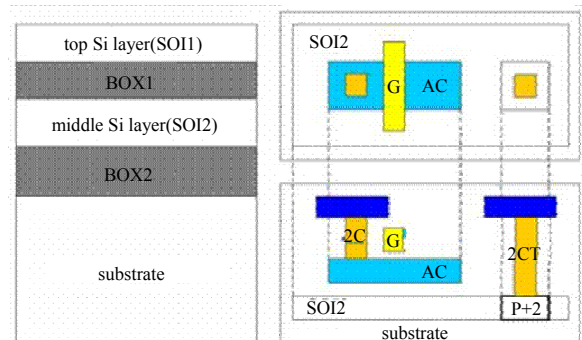


Fig.3 DSOI structure
图 3 DSOI 结构图

FinFET, Gate-all-Around FET)、超薄埋氧(UTBOX)、环形或封闭布局晶体管(Enclosed Layout Transistor, ELT)或新的伪栅极辅助(DGA)n-MOSFET 技术等。经验证明采用等比例缩小 MOS 管尺寸的方法对提高抗总剂量能力是有效的。等比例缩小后的 MOS 管的栅氧化层变得更薄,受总剂量效应的影响减小。在等比例缩小的基础上,使用多栅结构(MuGFET, FinFET, Gate-all-Around FET),同时栅极区使用未经掺杂的硅薄膜,以改变 MOS 管衬底的电性能。该方法是针对体硅技术提高抗辐射环境下抗总剂量能力的有效方法。使用(UTBOX)平面的 MOSFET,在亚 20 nm 工艺下,能够降低短沟道效应的影响,同时使能由背栅偏置控制的低功率操作,有效补偿了受 TID 效应影响的 MOS 管的数字和模拟参数。ELT 和新的伪栅极辅助技术是典型的版图加固技术,能帮助数字或模拟 IC 设计工程师改善使用商用 CMOS IC 制造工艺生产的 MOS 器件本身的抗辐射特性。电子科技大学电子薄膜与集成器件国家重点实验室于 2011 年对基于环形栅和半环形栅 N 沟道金属氧化物半导体晶体管的总剂量辐照效应进行了研究。他们在商用 0.35 μm CMOS 工艺上制备了 2 种栅氧化层厚度(t_{ox})的条形栅、环形栅和半环栅 NMOS 晶体管,并进行了 200 krad(Si)的总剂量辐照效应实验。实验结果表明,对于低压 NMOS 晶体管,通过环形栅或半环形栅的加固方式,其抗总剂量辐射能力从 3 krad(Si)提高到 200 krad(Si)以上^[10]。

Leonardo Navarenho de Souza Fino 等于 2014 年提出了另一种新型的总剂量加固技术,使用 OCTO 结构的 MOS 管替代传统的长方形状的栅结构。同时采用背栅偏置技术以恢复受总剂量效应影响的阈值电压和亚阈值摆幅。OCTO 版图结构中在鸟嘴区寄生的晶体管是无效的,因而具有更好的抗总剂量辐射能力。相比于传统典型的长方形栅结构的 MOS 管,需要加载的背栅偏置电压较小。采用这种新型的平面 SOI MOSFET 结构,是利用了 MOSFET 在沟道长度方向上的“角效应(Corner Effect, CE)”,以增大沿沟道方向的电场强度。该技术仍然使用当前的 CMOS 制造工艺,不需要额外的成本。利用“角效应(CE)”理念的第 1 个例子是采用菱形的 SOI MOSFET(DSM)结构的版图, MOS 栅极的几何形状是六边形的。DSM 比传统 MOSFET 具有更好的电性能,已经广泛应用在模拟开关和门驱动电路中。八边形的 SOI MOSFET(OSM)是由 DSM 演变而来的,栅极是八边形结构。OSM 在击穿电压和抗 ESD 方面比 DSM 的性能好。考虑在相同有效沟道长度的情况下,DSM 和 OSM 的鸟嘴区比传统的栅极结构形成的鸟嘴区小,所以 MOS 管的抗总剂量辐射能力得到了提高。制造过程中,OSM 结构的电子显微照如图 4 所示。在该 OCTOM 的电子显微结构中,OSM 的有效沟道长度约为 $(b+2B)/3$ ^[11]。

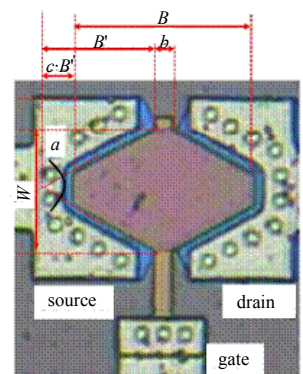


Fig.4 Layout structure of OCTO in manufacturing process
图 4 工艺制造中八边形栅的版图结构

2.4 系统级总剂量加固技术

T. R. Balen 等于 2014 年在文献[12]中提出了一种新型的基于模块化冗余的采用交替偏置方案(ABTMR)的抗辐射技术。其原理图如图 5 所示。该项技术的目的是延长在易受 TID 影响的辐射环境中的电子系统的寿命。为了验证这一技术, T. R. Balen 等使用现场可编程模拟阵列(Field Programmable Analog Array, FPAA),将该技术运用到被测器件(Device Under Test, DUT)的板级测试中。DUT 暴露在具有 1 krad(Si)/h 剂量率的钴 60 γ 辐射环境中。结果表明,与传统的永久偏置的方法相比,交替偏置能够容忍更高的剂量^[12-13]。该技术是与交替偏置原理相关的基于 N 元模块的冗余技术,即备用偏置模块冗余(Alternate Biasing Modular Redundancy, ABMR)技术。该技术的关键电路中

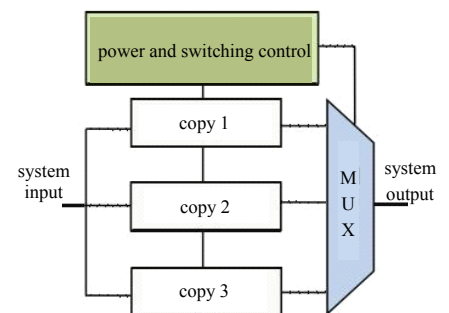


Fig.5 Schematic of ABTMR technology
图 5 ABTMR 技术原理图

中包含 N 个重复的模块,并在专用电源开关和多路复用电路的控制下随时间交替使用各个模块。当各个模块的电源关闭时,绝缘氧化层中没有电场,所以各个模块的交替使用增加了由电离辐射产生的电子空穴对的复合概率,从而减小了氧化层中电荷的聚集速率和界面陷阱中电荷的数量,缓解了电性能的下降。

3 结论

本文通过列举近期国内外公布的各种总剂量加固技术,阐述了集成电路总剂量加固技术的研究进展。总剂量加固技术涉及到了材料、器件、版图、系统等方面,涵盖了集成电路技术的各个领域。如不考虑经济上的成本,材料及器件级的加固方法能从根本上降低总剂量效应的影响,且效果显著。而版图和系统方面的加固技术可以在基于现有体硅工艺的基础上,提高器件的抗总剂量辐射能力,改善器件在辐射环境下的性能。

参考文献:

- [1] 王健安,谢家志,赖凡. 微电子器件抗辐射加固技术发展研究[J]. 微电子学, 2014,44(2):225-228. (WANG Jianan,XIE Jiazhi,LAI Fan. Investigation into development of radiation hardening technology for microelectronic devices[J]. Microelectronics, 2014,44(2):225-228.)
- [2] 江军,雷昕,赵璐,等. 一种抗辐射加固隔离反馈发生器的研制[C]// 第十届全国抗辐射电子学与电磁脉冲学术年会论文集. 北京:中国电子学会核电子学与核探测技术分会, 2009:35-40. (JIANG Jun,LEI Xin,ZHAO Lu. Design of a radiation hardened insulated feedback generator[C]// The tenth national anti-radiation and EMP annual academic conference essays. Beijing: Nuclear Electronics and Nuclear Detection Technology Branch, Chinese Institute of Electronics, 2009:35-40.)
- [3] 刘恩科,朱乘升,罗晋生. 半导体物理学[M]. 北京:电子工业出版社, 2010:235-261. (LIU Enke,ZHU Bingsheng,LUO Jinsheng. Semiconductor Physics[M]. Beijing: Electronic Industry Press, 2010:235-261.)
- [4] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 西安:西安交通大学出版社, 2002:12-13. (BEHZAD Razavi. Design of Analog CMOS Integrated Circuits[M]. Xi'an:Xi'an Jiaotong University Press, 2002:12-13.)
- [5] CRESS C D,MCMORROW J J,ROBINSON J T,et al. Total ionizing dose-hardened carbon nanotube thin-film transistors with silicon oxynitride gate dielectrics[J]. MRS Communications, 2011,1(1):27-31.
- [6] DANDAMUDI P,BARNABY H J,KOZICKI M N,et al. Total ionizing dose tolerance of the resistance switching of Ag-Ge₄₀Se₆₀ based programmable metallization cells[C]// 2013 14th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Oxford,United Kingdom:IEEE, 2013:1-4.
- [7] TSUI B Y,CHANG K C,SHEW B Y,et al. Investigation of radiation hardness of HfO₂ resistive random access memory[C]// Proceedings of Technical Program - 2014 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA). Hsinchu,Taiwan:IEEE, 2014:1-2.
- [8] 陈海波,吴建伟,李艳艳,等. 总剂量加固对 SOI NMOS 器件抗辐射特性的影响[J]. 电子与封装, 2014,14(12):33-36. (CHEN Haibo,WU Jianwei,LI Yanyan,et al. Effect of ion implantation for total dose irradiation on performance of SOI NMOS devices[J]. Electronics & Packaging, 2014,14(12):33-36.)
- [9] ZHAO K,ZHAO X,GAO J,et al. DSOI FET-A novel TID tolerant SOI transistor[C]// 2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). Guilin,China:IEEE, 2014:1-3.
- [10] 范雪,李威,李平,等. 基于环形栅和半环形栅 N 沟道金属氧化物半导体晶体管的总剂量辐射效应研究[J]. 物理学报, 2012,61(1):1-6. (FAN Xue,LI Wei,LI Ping. Total ionizing dose effects on n-channel metal oxide semiconductor transistors with annular-gate and ring-gate layouts[J]. Acta Physica Sinica, 2012,61(1):1-6.)
- [11] DE Souza Fino L N,DA Silveira M A G,RENAUX C,et al. Boosting the radiation hardness and higher reestablishing pre-rad conditions by using OCTO layout style for MOSFETs[C]// 2014 29th Symposium on Microelectronics Technology and Devices (SBMicro). Aracaju,Brazil:IEEE, 2014:1-4.
- [12] BALEN T R,VAZ R G,FERNANDES G S,et al. Alternate biasing modular redundancy: an alternative tolerance technique to cope with TID effects[C]// 2014 19th International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW). Porto Alegre,Brazil:IEEE, 2014:1-5.
- [13] 桂江华,徐睿,卓琳. 基于三模冗余架构的集成电路加固设计[J]. 中国电子科学研究院学报, 2013,8(6):643-646. (GUI Jianghua,XU Rui,ZHUO Lin. The research of radiation harden for ASIC[J]. Journal of CAEIT, 2013,8(6):643-646.)

作者简介:



印 琴(1989-),女,江苏省泰兴市人,硕士,助理工程师,主要研究方向为集成电路设计.email:971381438@qq.com.

蔡洁明(1984-),男,江苏省无锡市人,硕士,工程师,主要研究方向为大规模数字集成电路设计与仿真.

刘士全(1982-),男,吉林省蛟河市人,硕士,工程师,主要研究方向为 1553B 总线技术、电路检测应用技术.

徐 睿(1973-),女,山东省胶南市人,硕士,研究员级高级工程师,主要研究方向为大规模及抗辐射专用集成电路设计.