

文章编号: 2095-4980(2018)05-0902-05

一种基于 FPGA+DSP 的处理机硬件架构

王占超, 张耀天

(北京航空航天大学 电子信息工程学院, 北京 100191)

摘 要: 为了解决在实时处理中多数合成孔径雷达(SAR)算法存在的运算量大、耗时长等问题, 提出基于多核数字信号处理器(DSP)以及串行高速互联接口(SRIO)的一种新硬件解决方法。主要讨论了现场可编程门阵列(FPGA)+DSP架构下采用多核DSP和SRIO实现SAR算法的主要流程, 并在多核DSP中使用流水线技术优化快速傅里叶变换(FFT)算法。通过使用多核DSP和流水线技术以及SRIO技术, 使数据运算、传输速率更快, 达到缩短运算时间的目的。

关键词: 现场可编程门阵列+数字信号处理器; 多核数字信号处理器; 快速傅里叶变换效率

中图分类号: TN911.72

文献标志码: A

doi: 10.11805/TKYDA201805.0902

Hardware architecture of processor based on FPGA+DSP structure

WANG Zhanchao, ZHANG Yaotian

(School of Electronics and Information Engineering, Beihang University, Beijing 100191)

Abstract: A hardware architecture of processor based on Field Programmable Gate Array(FPGA)+Digital Signal Processor(DSP) structure is proposed. In order to solve the problem of large amount of computation and long time in most real-time processing of Synthetic Aperture Radar(SAR) algorithm, a new hardware solution based on multi-core DSP and Serial Rapid I/O (SRIO) is proposed. Since multi-core DSP makes the processing speed in the chip faster and SRIO makes the data transmission between chips faster, this paper mainly discusses the main flow of implementing SAR algorithm by using multi-core DSP and SRIO based on FPGA+DSP architecture and optimizing the Fast Fourier Transform(FFT) algorithm by using pipeline technology in multi-core DSP. By using multi-core DSP, pipeline technology and SRIO technology, the data operation and transmission rate are faster, and the goal of shortening the calculation time is achieved.

Keywords: Field Programmable Gate Array(FPGA)+Digital Signal Processor(DSP); multi-core DSP; Fast Fourier Transform(FFT) efficiency

合成孔径雷达(SAR)^[1]是一种高分辨力成像雷达, 其使用小天线以恒定速度沿线阵列轨迹移动并发射相干信号, 然后在不同位置相干处理接收的回波信号。近几十年来, 随着射频技术和数字技术的发展, SAR 不仅广泛应用于军事领域, 而且在海洋勘探、制图和其他民用领域都有重要应用。为了获得 SAR 图像, 可以选择的处理算法包括距离多普勒算法(Range Doppler Algorithm, RDA)、调频缩放算法(Chirp Scaling Algorithm, CSA)、 ωK 算法(ωK Algorithm, ωKA)等。虽然这些算法的实现过程不同, 但它们有个共同点, 都需要大量的数据计算。RDA 需要对方位角和距离进行脉冲压缩^[2]; CSA 需要对距离和方位进行傅里叶变换和逆变换^[3]; ωKA 需要对距离和方位进行傅里叶逆变换^[4], 可以看出这 3 种算法都需要使用快速傅里叶变换(FFT)和逆快速傅里叶变换(Inverse FFT, IFFT)来实现, 但 FFT 的实在数字系统中都会涉及大量计算^[5]。因此, 一旦系统设计完成后必须考虑如何减少硬件系统的处理时间。

数字信号处理器(DSP)是一种用于数字信号处理的高速数字芯片^[6]。随着硬件技术的发展, 特别是多核 DSP 的出现, DSP 的处理速度进入了一个新的阶段; 串行高速互联接口(SRIO)的出现使得 DSP 和其他芯片之间的数据传输更快。因此, DSP 被广泛用于减少 SAR 算法的处理时间, 实现 SAR 成像的实时处理。

1 算法验证与硬件架构设计

合成孔径雷达发射相参的线性调频脉冲,接收从目标散射的回波,然后从中提取出目标的距离和速度信息以用于成像。本文采用的成像算法是最常用的距离多普勒算法^[7]。由于从回波中获得的原始数据是中频信号,因此首先必须对其进行数字下变频处理。数字下变频算法的具体流程如下所示:

载频为 f_0 , 包络为 $A(t)$, 得到的模拟回波信号为:

$$r(t) = A(t) \cos[2\pi f_0 t + \varphi(t)] \quad (1)$$

由于接收到的回波是带通的线性调频(Linear Frequency Modulation, LFM)信号,所以采样频率 f_s 必须满足奈奎斯特采样定律:

$$f_s = \frac{4f_0}{2m+1}, \quad f_s > 2B \quad (2)$$

进而有采样后的离散时间序列为:

$$\begin{aligned} r(n) &= A(n) \cos\left[2\pi n \frac{f_0}{f_s} + \varphi(n)\right] = A(n) \cos\left[2\pi n \frac{(2m+1)}{4} + \varphi(n)\right] = \\ &= A(n) \cos \varphi(n) \cos\left[\pi n \frac{(2m+1)}{2}\right] - A(n) \sin \varphi(n) \sin\left[\pi n \frac{(2m+1)}{2}\right] = \\ &= I(n) \cos\left[\pi n \frac{(2m+1)}{2}\right] - Q(n) \sin\left[\pi n \frac{(2m+1)}{2}\right] \end{aligned} \quad (3)$$

式中: $I(n) = A(n) \cos \varphi(n)$ 称为同向分量; $Q(n) = A(n) \sin \varphi(n)$ 称为正交分量。当 $m=1$ 时, 数字下变频后的离散序列为:

$$r(n) = \begin{cases} (-1)^{n/2} I(n), & n = 2k \\ (-1)^{(n+1)/2} Q(n), & n = 2k+1 \end{cases} \quad (4)$$

从式(4)可以看出, 数字下变频之后的序列仅是对采样后序列的奇偶提取。

为了抵消同向分量与正交分量的相位延迟, 将式(4)中的序列通过多相滤波器后可以得到:

$$\begin{cases} I'(n) = r(2n)(-1)^n \\ Q'(n) = r(2n+1)(-1)^n \end{cases} \quad (5)$$

经过上述步骤后, 需要利用 RDA 算法进行 SAR 成像处理。RDA 算法的具体处理流程见图 1, 其中方位向和距离向的脉冲压缩算法的具体处理流程见图 2。

假设距离分辨力是 1 m, 由 $c/2B = \theta$ 可以得到信号带宽为 150 MHz。根据奈奎斯特采样定律可以得到采样速率应大于 300 MHz, 进而在算法中采用的采样速率为 150 MHz。同样地, 假设脉冲宽度为 10 μ s, 脉冲数为 100, 这样每一个脉冲可以采样得到 $320 \text{ MHz} \times 10 \mu\text{s} = 3200$ 个实数点, 通过抽取和数字下变频可以得到 1600 个复数点。这样就能在 RDA 之前得到一个 100×1600 的 2D 复矩阵。

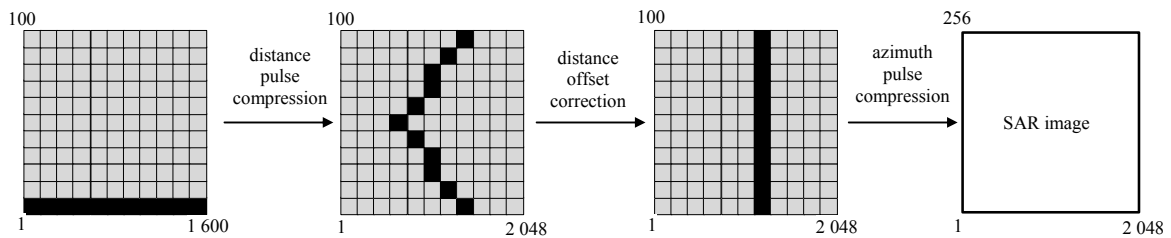


Fig.3 Flow chart of RDA implementation
图3 RDA 实现流程图

SAR 处理器上实现 RDA 的流程主要包括距离向脉冲压缩、距离偏移校正和方位向脉冲压缩, 见图 3。首先需要做 2048 点距离向脉冲压缩; 对雷达运动时引起的距离单元偏移进行偏移校正; 对 100 个脉冲进行 256 点的方位向脉冲压缩可以获得 SAR 图像。

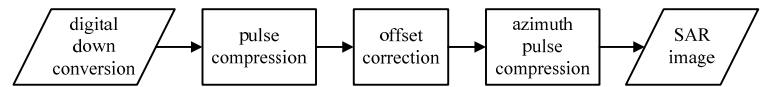


Fig.1 RDA flowchart
图1 RDA 算法流程图

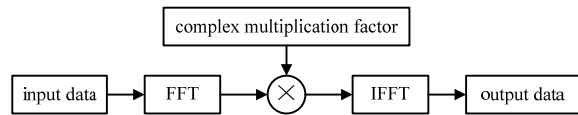


Fig.2 Flow chart of pulse compression algorithm
图2 脉冲压缩算法流程图

从上述处理流程可看出, 处理流程的主要算法在于 FFT 的数字系统设计。考虑到实时处理的要求, 这里选择 DSP 作为算法实现的核心部分。通过在 DSP 中使用流水线处理技术可大大降低每条指令的时钟数(Clock cycle Per Instruction, CPI), 这可提高整个 SAR 处理算法的执行效率。另外, 在大多数 DSP 器件中都有乘法器单元和比特反转地址发生器, 这能够有效提高 DSP 的 FFT 处理速度。虽然 DSP 的计算能力非常强, 但它在并行接口控制方面并不具有优势。因此这里使用 FPGA 作为逻辑编程和并行接口控制。在大多数高分辨力 SAR 处理器中, 并行信号处理的硬件设计都采用 DSP+FPGA 结构, 本文设计的硬件结构见图 4。

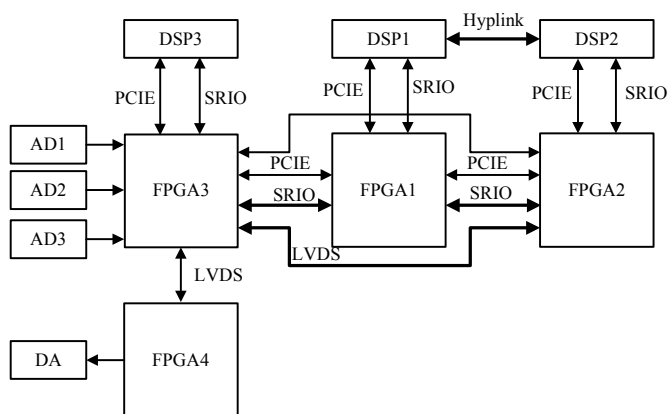


Fig.4 Diagram of SAR processor hardware
图 4 SAR 处理器的硬件结构框图

FPGA 根据脉冲波门控制模数转换芯片对中频信号进行采样, 采样后的中频信号需要进行数字下变频, 数字下变频的实现方法有 2 种: 在 FPGA 中实现或在 DSP 中实现。由于数字下变频的处理流程只包含抽取和多相滤波, 而且这 2 个流程都不需要太多的计算, 因此数字下变频的处理选择在 FPGA 中执行。

SAR 算法的处理时间主要取决于数据的传输速度和处理器的计算速度。因此, 一方面采用多核 DSP 来提高 DSP 的处理速度, 另一方面数据传输速度这个瓶颈也需要解决, 来保证数据能够快速地从 FPGA 传输到 DSP。在 SAR 处理器的设计中, FPGA 完成数字下变频后的数据通过 SRIO 传输给 DSP。SRIO 支持 1.25 GHz, 2.5 GHz, 3.125 GHz, 5 GHz 和 6.25 GHz 的数据传输率。特别是在多核 DSP TMS320C6678 中, 数据的传输速率可达到 5 GHz 以上, 因此通过 SRIO 很容易满足 SAR 信号实时处理的要求。

这里假设脉冲重复时间为 0.2 ms, 采样率为 320 MHz, 因此必须在 0.2 ms 内将数字下变频后的数据从 FPGA 传输到 DSP。数据传输速率为:

$$\frac{320 \text{ MHz} \times 10 \mu\text{s} \times 32 \text{ bit}}{0.2 \text{ ms}} = 512 \text{ Mbit/s} \quad (6)$$

可以看出, SRIO 能够很轻松满足本文数据传输的需求。在每帧的重复间隔中, SAR 处理机必须向射频发射器发射特定的脉冲串。由于 LFM 信号产生的带宽必须具有恒定的幅频响应, 因此最好使用均衡器来实现这种要求, 一般有 2 种方法来实现均衡器, 即数字均衡器和模拟均衡器。这里生成的 LFM 信号带宽是 150 MHz, 通过模拟电路实现均衡器比通过 FPGA 进行编程更难, 因此使用 FPGA 和数模转换器来代替直接数字式频率合成器(Direct Digital Synthesizer, DDS)生成 LFM 信号。

2 DSP 功能和 FFT 性能分析

如上所述, 多核 DSP 在 SAR 算法实现上有着突出的优势。因此, 这里采用 TMS320C6678 来实现 SAR 处理机里的 RDA。TMS320C6678 是 TI 公司推出的主频高达 1.25 GHz 的多核 DSP, 它包含 8 个完全独立的内核, 其中每个核均拥有独立的内存和 8 个并行算法单元(M1, L1, S1, D1, M2, L2, S2 和 D2)^[8]。M 单元执行完全的乘法运算, S 和 L 单元执行计算部分的通用设置, D 单元主要从内存中读取数据到寄存器列表中并将寄存器列表中的结

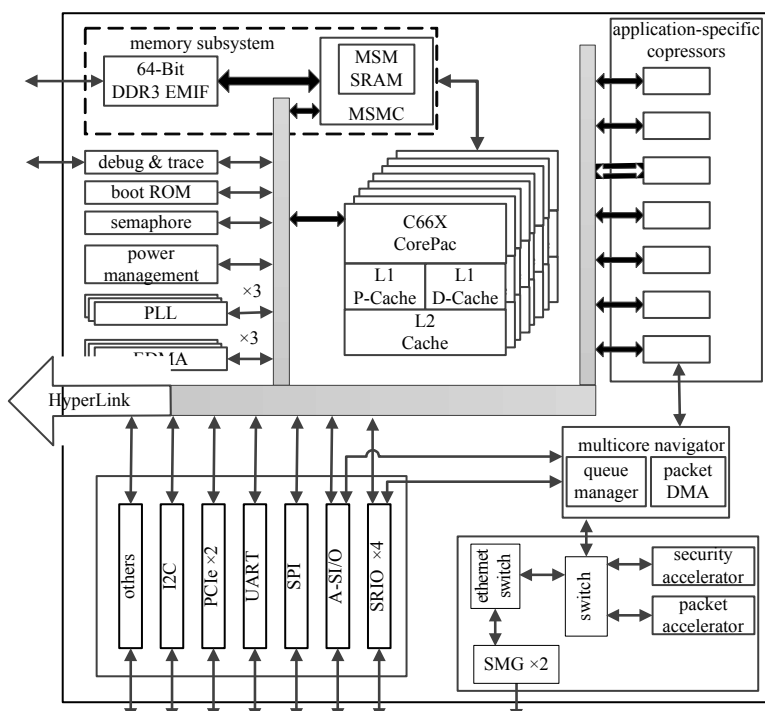


Fig.5 Hardware architecture of TMS320C6678
图 5 TMS320C6678 的硬件架构

果存储到内存中。算法实现过程中它可以完成乘法和加法运算还有一个指令周期内的流水线技术。TMS320C6678 的硬件结构见图 5, 其中单核功能结构见图 6。

由第 1 节分析可知, 在 SAR 处理机中使用 RDA 算法主要是 FFT 运算, 基于 TMS320C6678 的 FFT 非流水线实现流程见图 7。FFT 中的基本单元是乘法和加法运算, 在计算之前需要加载原始数据到内存中。

假设所有的运算都是单周期的, 如果程序循环超过 5 次, 它需要消耗 $5 \times 3 = 15$ 个时钟周期。D1 和 D2 单元是并行结构, 因此前 2 次从内存加载到寄存器列表操作可以同时执行。在第 2 个时钟周期, M1 单元将完成两数相乘。最后, L1 单元将在第 3 个时钟周期完成两数相加。因此, 如果程序不优化, 第 1 个周期的“ldh”运算需要等到第 1 个周期“add”运算完成, 这就意味着功能单元因为等待前面的结果而浪费 2 个时钟周期。相反的, 如果使用流水线架构, 任何并行的计算单元均在使用之中而不会有空闲的时钟周期。如 D1 和 D2 单元在第 1 次“ldh”运算之后便可以执行第 2 次“ldh”运算。图 8 中采用流水线架构之后程序循环 5 次将只占用 7 个时钟周期。TMS320C6678 拥有 8 个完全一致的内核, 这就意味着基于流水线设计和多核架构 RDA 算法将会极大地降低时间消耗, 详细结果见表 1^[9]。

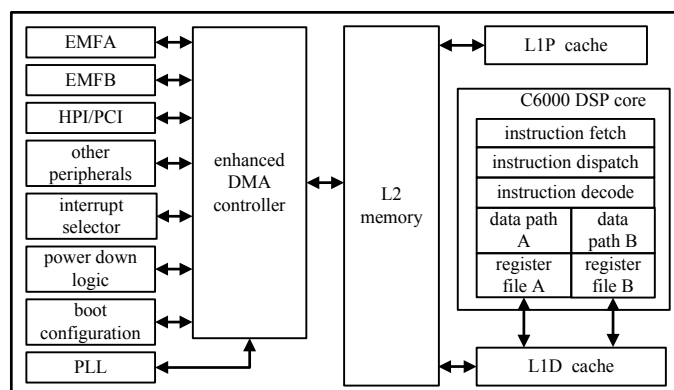


Fig.6 Diagram of single core functional structure

图 6 单核的功能结构图

cycle

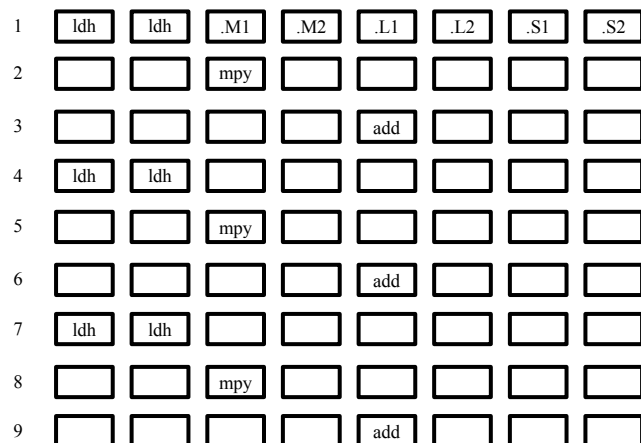


Fig.7 Non-pipelined implementation architecture

图 7 非流水线实现架构

cycle

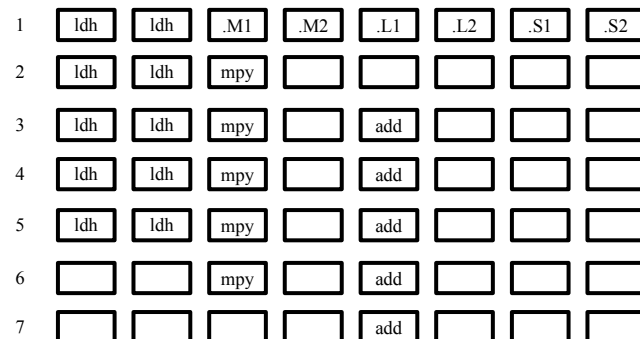


Fig.8 Pipelined implementation architecture

图 8 流水线实现架构

通过测试不同采样点的 FFT 结果, 内核使用数量越多, 消耗时间越少。但是当内核数量增加一倍时, 消耗时间并不会减少一半。内核中的算法和数据通信结构使得无法仅通过增加内核数量即实现硬件加速功能。由表 1 可知, 多核 DSP TMS320C6678 与单核 DSP 相比可以实现 5~6 倍的加速性能。

3 结论

介绍了一种基于 FPGA+DSP 架构的实时处理机硬件架构设计。针对 SAR 算法需要大计算量的问题, 主要通过硬件架构来降低时间消耗。SAR 处理算法的处理时间主要取决于芯片间数据传输的时间以及 FFT 运算的时间。在本文中, 通过使用多核 DSP 和流水线技术来加快 FFT 的处理速度。此外, 使用高速串行接口 SRIO 连接 DSP 和 FPGA, 使数据传输速率更快。

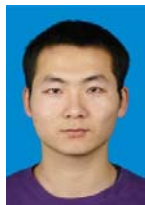
表 1 采用流水线和多核处理后 FFT 效率提升结果

Table1 FFT efficiency improvement results after pipeline and multi-core processing				
FFT points	1 kernel/ms	2 kernels/ms	4 kernels/ms	8 kernels/ms
32K	0.907	0.480	0.275	0.202
64K	1.853	0.913	0.506	0.335
128K	4.212	2.021	1.053	0.629
256K	8.823	4.314	2.321	1.098
512K	18.241	9.288	4.712	3.407
1 024K	37.123	19.321	9.446	6.628

参考文献:

- [1] CUMMING I G, WONG F H. Digital processing of synthetic aperture radar data: algorithms and implementation[M]. Beijing: Electronics Industry Press, 2012.
- [2] DENG Bin, QIN Yuliang, LI Yanpeng, et al. A novel approach to range Doppler SAR processing based on legendre orthogonal polynomials[J]. IEEE Geoscience and Remote Sensing Letters, 2009, 6(1): 13–17.
- [3] LI Dong, LIAO Guisheng, WANG Wei, et al. Extended azimuth nonlinear chirp scaling algorithm for bistatic SAR processing in high-resolution highly squinted mode[J]. IEEE Geoscience and Remote Sensing Letters, 2014, 11(6): 1134–1138.
- [4] LI Zhongyu, WU Junjie, YI Qingying, et al. An omega-k imaging algorithm for translational variant bistatic SAR based on linearization theory[J]. IEEE Geoscience and Remote Sensing Letters, 2014, 11(3): 627–631.
- [5] XIANG Hong, WANG Jun, ZHANG Yuxi. Parallel implementation of high resolution radar signal processing system based on multi-IC architecture[C]// 2013 International Radar Conference. Xi'an, China: IET, 2013: 1–4.
- [6] 孙进平, 王俊, 李伟, 等. DSP/FPGA 嵌入式实时处理技术及应用[M]. 北京: 北京航空航天大学出版社, 2011. (SUN Jinping, WANG Jun, LI Wei, et al. DSP/FPGA embedded real-time processing technology and application[M]. Beijing: Beihang University Press, 2011.)
- [7] 许小剑, 黄培康. 雷达系统及其信息处理[M]. 北京: 电子工业出版社, 2010. (XU Xiaojian, HUANG Peikang. Radar system and its information processing[M]. Beijing: Electronic Industry Press, 2010.)
- [8] TEXAS Instruments. TMS320C6678 multicore fixed and floating-point digital signal processor[EB/OL]. (2015–06). <http://www.ti.com/lit/ds/symlink/tms320c6678.pdf>.
- [9] TEXAS Instruments. TMS320C6455 fixed-point digital signal processor[EB/OL]. (2015–06). <http://www.ti.com/lit/ds/symlink/tms320c6455.pdf>.

作者简介:



王占超(1990–), 男, 郑州市人, 在读硕士研究生, 主要研究方向为信号与信息处理.
email: wangzhanchao@buaa.edu.cn.

张耀天(1981–), 男, 甘肃省武威市人, 博士, 副研究员, 主要从事信号与信息处理方面的研究.