

文章编号: 2095-4980(2022)06-0626-05

多层集成电路中缺陷地引起的寄生基板模式

侯彦飞^{1,2}, 王伯武¹, 于伟华^{*1}, 程伟³, 孙岩³

(1.北京理工大学 毫米波与太赫兹技术北京市重点实验室, 北京 100081; 2.北京无线电测量研究所, 北京 100854;
3.南京电子器件研究所 微波毫米波单片集成和模块电路重点实验室, 江苏 南京 210016)

摘要: 针对多层集成电路中由于共地面开窗引起的寄模问题, 通过对比“窗口遮挡”形式和多种背孔阵列抑制寄生模传播效果, 发现“窗口遮挡”形式在有效抑制寄生模传播的同时会极大地增加电路损耗, 存在最简背孔阵列可以达到抑制寄生模传播的效果。在不改变工艺结构的前提下, “双背孔”和“四背孔”形式可以分别满足 200 GHz/300 GHz 以下介质膜抑制需求, 此时背孔所占面积最小, 可以有效减小背孔排列密度, 增加电路集成度。

关键词: 多层集成电路; 寄生模; 薄膜微带线; 缺陷地

中图分类号: TN78

文献标志码: A

doi: 10.11805/TKYDA2020132

Parasitic modes caused by defect ground structure in multilayer integrated circuit

HOU Yanfei^{1,2}, WANG Bowu¹, YU Weihua^{*1}, CHENG Wei³, SUN Yan³

(1.Laboratory of Millimeter-wave and Terahertz Technology, Beijing Institute of Technology, Beijing 100081, China;
2.Beijing Institute of Radio Measurement, Beijing 100854, China; 3.Key Laboratory of MMW Monolithic Integrated Circuits and Modules, Nanjing Electronic Devices Institute, Nanjing Jiangsu 210016, China)

Abstract: In multilayer integrated circuit, the parasitic mode problem is caused by Defect Ground Structure(DGS). By comparing the effects of window shielding form and various back hole arrays in suppressing the propagation of parasitic modes, it is found that the window shielding form can effectively suppress the propagation of parasitic modes but greatly increase the circuit loss. The existence of the simplest back hole array can achieve parasitic suppression. Without changing the process structure, the double-back-hole form and the four-back-hole form can meet the suppression requirements of dielectric films below 200 GHz and 300 GHz respectively. In these cases, the back holes occupy the smallest area. It can effectively reduce the back hole arrangement density and increase the circuit integration.

Keywords: multilayer integrated circuit; parasitic modes; Thin-Film Microstrip Lines(TFML); Defect Ground Structure

在多层集成电路中, 开窗引起的泄露会导致寄生模式在体介质中传播, 进而引起电路性能的降低或不稳定^[1]。特别是在电容下极板与地板共用一层金属的情况下, 串联电容在地板开窗必不可少, 因此问题尤为严重。为了消除寄生模的传播, 通常设置密集的金属化背孔阵列^[2], 这些背孔连接背面金属与中间层共地面, 占用大量芯片面积, 降低集成度。并且, 随着工作频率的增加, 背孔密度也必须增加, 以便抑制较高频率的衬底模式^[3]。

本文主要研究在薄膜微带线中串联电容开窗引起的寄生模抑制方案, 并且分别从无背孔和背孔阵列优化两方面入手, 评估其寄生模抑制性能。目前, 专门针对这方面的研究还比较少, 但是随着薄膜微带线工艺技术的推广, 应用频率的提升和集成度的进一步提高, 这方面的研究必不可少。仿真结果表明, 可以实现极简背孔阵列达到较好的寄生模抑制效果。

收稿日期: 2020-03-30; 修回日期: 2020-09-10

基金项目: 国家自然科学基金面上资助项目(61771057)

*通信作者: 于伟华 email:ywhbit@bit.edu.cn

1 多层集成电路工艺

本文采用的多层集成电路工艺示意图如图 1 所示。其中金属层厚度及相应的苯并环丁烯(Benzocyclo Butene, BCB)介质层厚度都在 $1\ \mu\text{m}$ 量级。每层金属都可以作为信号线或共地面。采用金属层 M_2 或 M_3 为共地面时, 互联结构较为复杂且会带来更多的寄生模效应, 本文采用 M_1 为共地面, 仅在串联电容周围开窗, 泄漏点较少。当 M_1 为共地面, M_3 为信号线时(图 1(b)), 有效电介质厚度仅为几微米, 对于 $50\ \Omega$ 薄膜微带线, 在 $1\sim 300\ \text{GHz}$ 频带内其线宽为 $12\ \mu\text{m}(\pm 0.003\ \mu\text{m})^{[4-5]}$ 。

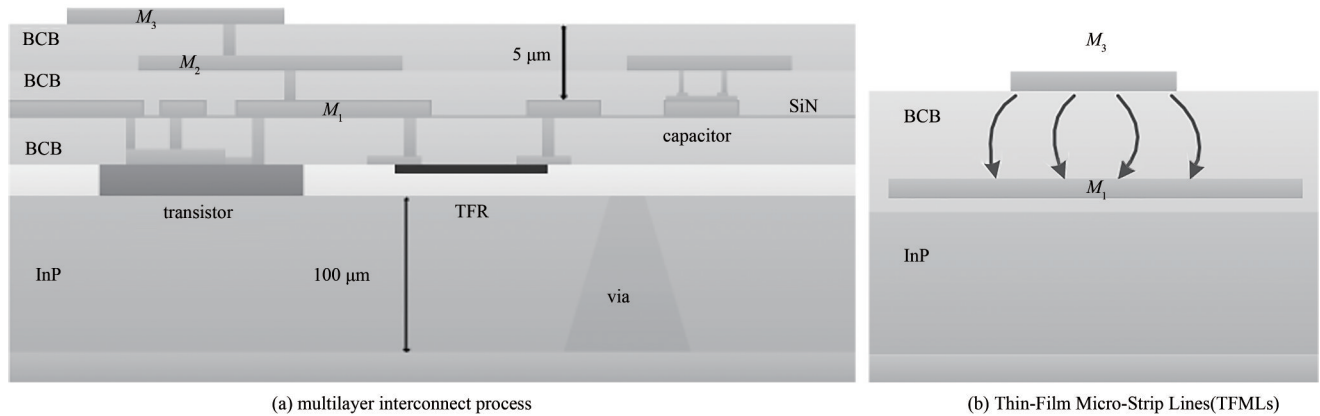


Fig.1 Schematic of cross-sectional view
图 1 多层互联结构示意图

这种类型的传输线中的接地层屏蔽了体介质与信号线。然而, 在整个电路中, 接地层在某些位置不连续, 如连接接地层以下的晶体管, 薄膜电阻器(Thin Film Resistors, TFRs)和串联电容器需要开窗。此外, 典型的 RF 焊盘使用具有接地槽的共面接地信号接地(Ground-Signal-Ground, GSG)布局。所有这些接地平面开窗都会激发体介质寄生模。

2 体介质寄生模

为了研究寄生模引起的谐振现象, 以串联电容为例建立 HFSS 模型, 如图 2 所示。以 M_3 为信号线, 特征阻抗为 $50\ \Omega$, 经 M_2 层过渡与电容器连接, 其中 BCB 层厚度为 $5\ \mu\text{m}$, 衬底 InP 尺寸为 $1.05\ \text{mm}\times 1\ \text{mm}\times 0.1\ \text{mm}(l\times w\times h)$, 电容尺寸为 $45\ \mu\text{m}\times 45\ \mu\text{m}$, 开窗尺寸为 $50\ \mu\text{m}\times 50\ \mu\text{m}$, 衬底背面覆金, 所有导体材质为金。

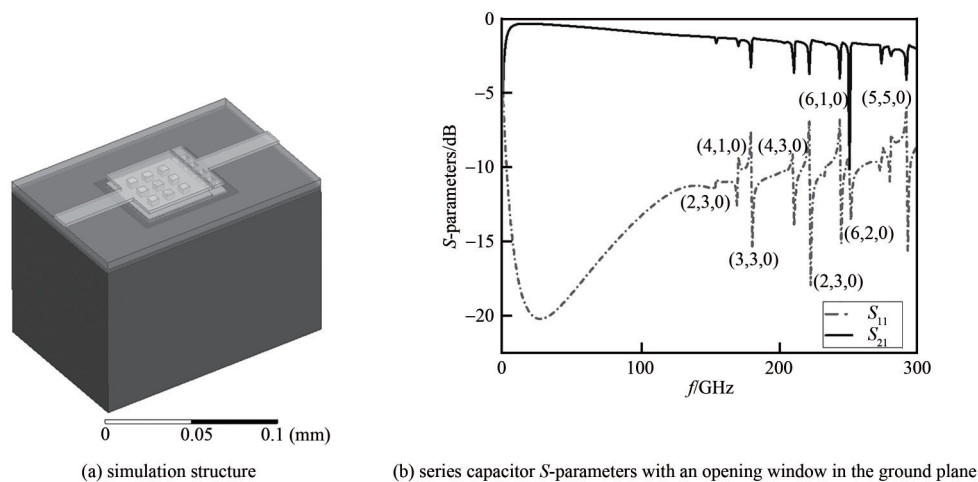


Fig.2 Simulation structure model of series capacitors with DGS
图 2 带有缺陷地的电容仿真模型

该模型的插入损耗和回波损耗如图 2(b) 所示。模型整体表现为高通容性且随着频率升高损耗增加, 在图中观察到不同的谐振频率, 表明能量通过接地平面中的开口耦合到衬底中^[6]。由于有限的衬底体积导致寄生模式在衬底边缘处反弹而在某些频率处产生谐振。共振频率可近似为:

$$f_{mnp} = \frac{c}{2\sqrt{\epsilon_r}} \sqrt{\left(\frac{m}{l}\right)^2 + \left(\frac{n}{w}\right)^2 + \left(\frac{p}{h}\right)^2} \quad (1)$$

式中： l, w 和 h 分别为介质基板的长度、宽度和高度； m, n 和 p 为共振模式指数，它们相当于相应尺寸的半波长数，主要谐振的模式指数如图 2(b) 所示； ϵ_r 为介质的相对介电常数。InP 衬底中的电场幅度如图 3 所示，其中 2 个谐振频率为 154 GHz 和 274 GHz。可以清楚地看到电场最大值分布等于模式指数 $(m, n, p) = (2, 3, 0)$ 和 $(m, n, p) = (6, 2, 0)$ ，这与式(1)中的 $f_{2,3,0}$ 和 $f_{6,2,0}$ 一致。由于芯片的厚度仅为 100 μm ，因此在 424 GHz $(m, n, p = 0, 0, 1)$ 以下没有垂直共振，即 424 GHz 以下 $p=0$ 。

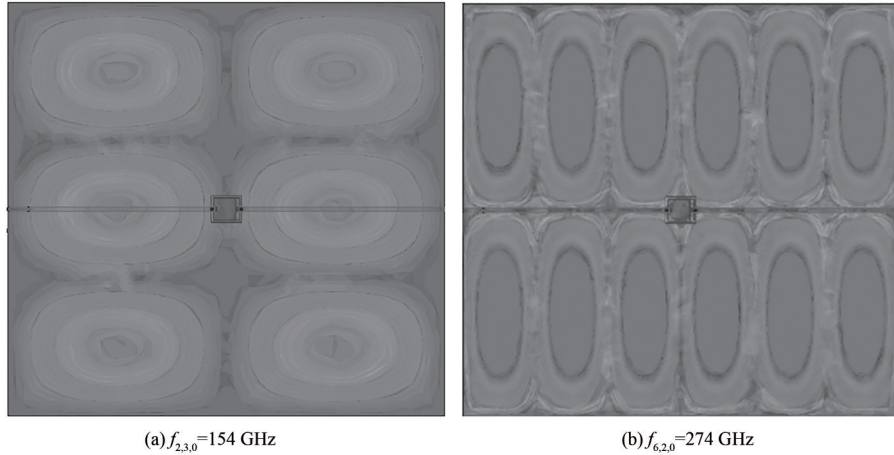


Fig.3 Magnitude plot of the electric field observed at resonance frequencies
图 3 谐振点处电场幅度分布

如上所述，寄生模式的产生是由能量泄漏引起的，并在有限的基板空间中反射以形成共振。为了抑制寄生模，可以从减少能量泄漏和减小介质基板空间两方面入手^[7]。由于能量泄漏主要是由开窗引起的，因此进行“窗口遮挡”可以有效地减少能量泄漏。基于这种思路，在电容模型中添加了一个比窗口开口面积大的 M_2 层，并与过孔隔离，如图 4 所示。通过仿真得到的 S 参数和 InP 基板在 150 GHz 处的电场分布如图 4(c) 所示，可以看出，窗口开口处的能量泄漏减少了，泄漏到 InP 基板中的能量很快耗散因而无法产生谐振，但是这种方法会引起电路损耗增加。

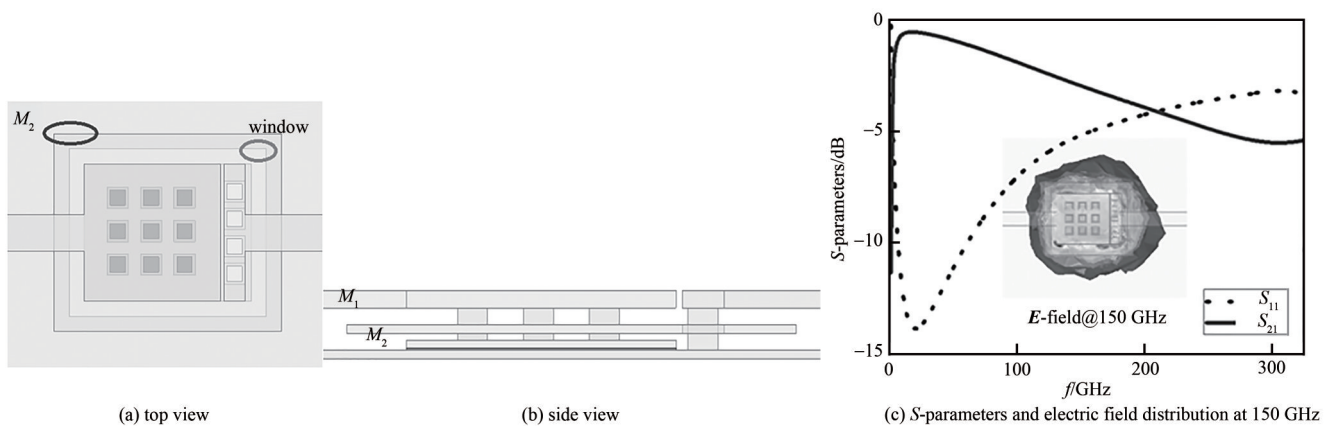


Fig.4 Insertion structure and simulation results of M_2 layer
图 4 M_2 插入层结构及仿真结果

图 5 为几种背孔结构对介质模抑制效果。在图 5(a) 中，背孔为 7×6 阵列，仿真结果显示这种结构可以抑制全部频带内 ($f < 424 \text{ GHz}$) 的寄生模，原因是背孔阵列将泄漏到体介质中的能量限制在一个小空间内 (约为 $0.1 \text{ mm} \times 0.1 \text{ mm} \times 0.1 \text{ mm}$)，根据式(1)，在 424 GHz 以下不存在完整的共振模式，因此不能产生谐振。图 5(b) 中的 6 个通孔围绕开窗形成直径为 0.23 mm 的准圆环，可以将最低谐振频率提高到 294 GHz (f_{100} 或 f_{010})，但是插损在 239 GHz 处已经下降到 1 dB，在 278 GHz 处，回波损耗已经恶化到 5 dB。所有结果已经去嵌，不包含传输线损耗。在此基础上继续提高最低谐振点必须减小背孔围成的圆的尺寸，但是受相邻背孔最小间距 (圆心间距 0.1 mm) 的限制，

在 8 背孔条件下，已无缩小空间。保持最小背孔间距，减小背孔个数可有效减小背孔所围体积。理论上，6 孔最低谐振频率为 328 GHz，4 孔即可达到极限频率 424 GHz。然而，在实际应用中，由于开窗的存在，开孔间距不一定能取最小值。图 5(d)与图 5(e)为 4 孔不同排列方式的仿真结果，可以看出，在保持孔间距的前提下，孔的排列方式对整体性能存在一定影响，因为虽然孔的相对位置不变，但旋转 45°后， l 和 w 却改变了。图 5(f)为最简双孔排列方案，理论上双孔按与波传播方向成 45°或 135°排列可以在保持孔间距的前提下使得 $l=w$ 最小，因此提高最低谐振频率。然而在实际仿真过程中，发现双孔并不能有效地抑制能量泄漏，少部分能量泄漏导致最低谐振频率低于理论值。虽然理论上这种方案可以将最低谐振频率提升至 354 GHz，但由于高频能量泄漏产生谐振，因此实际可用无谐振频段小于 200 GHz。

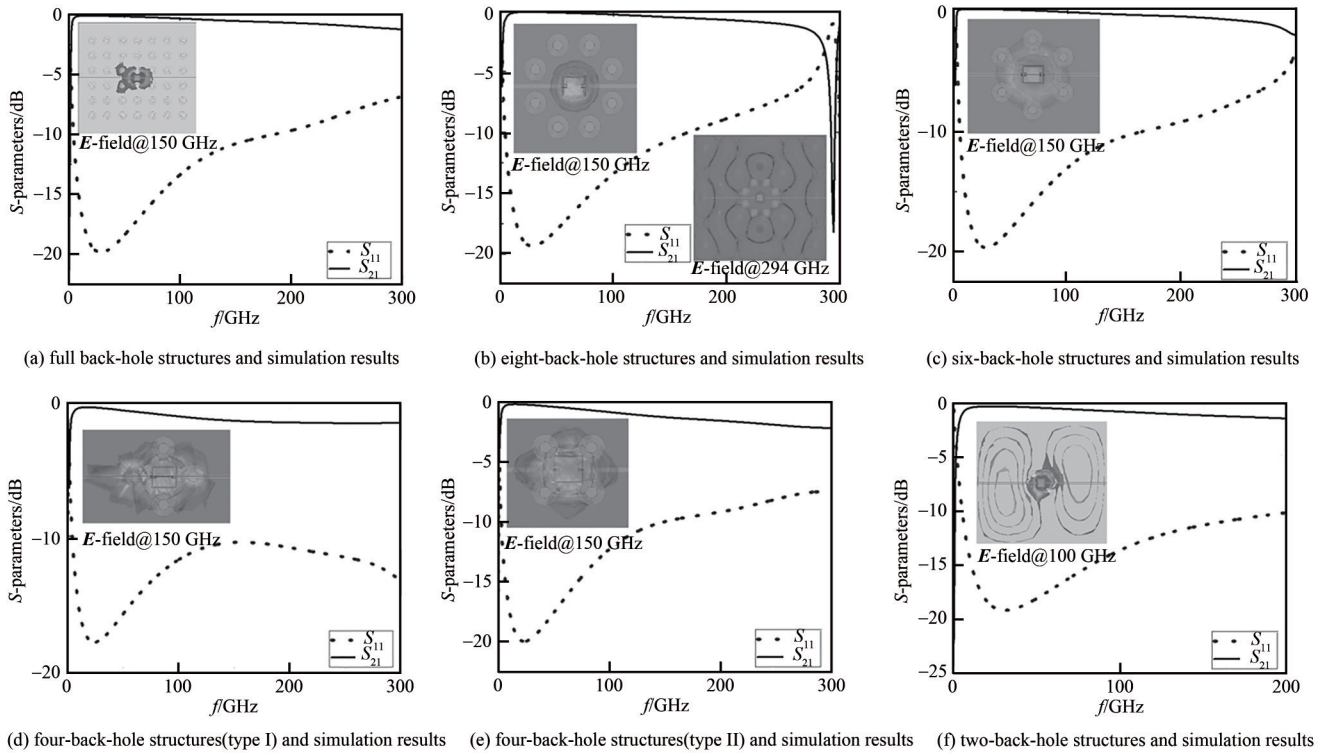


Fig.5 Suppression effect of several back hole structures on parasitic modes
图 5 几种背孔结构对介质模抑制效果

3 等效电路模型

在有源电路仿真过程中，可以直接将 HFSS 电容模型仿真得到的 N 端口 S 参数(N port S-parameters, SNP)文件导入先进设计系统(Advanced Design System, ADS)中，但是在电路分析过程中，仍需将物理模型等效为集总参数模型。等效电路模型及其仿真结果如图 6 所示，其中有效电容尺寸为 21 μm×21 μm，为了保证模型精确度，特选取应用频段 0~300 GHz 进行仿真。仿真结果显示，金属-绝缘体-金属(Metal-Insulator-Metal, MIM)电容密度约为 0.26 fF/μm²。

4 结论

在多层集成电路中，开窗引起的泄露会导致寄生模式在体介质中传播，进而引起电路性能的降低或不稳定。本文分别从减少能量泄漏和减小介质基板空间两方面入手，分析抑制寄生模的有效方法。仿真结果表明，通过插入金属隔离层的方法可以减少能量泄露，但是隔离层与其余金属部分会形成新的耦合电容，增加传输阻抗及损耗。而在减小介质基板空间方面，设计了几种背孔阵列方案，并对其寄生模抑制性能进行评估，仿真表明，最低 4 个背孔可以达到最优寄生模抑制性能，并且此时背孔所

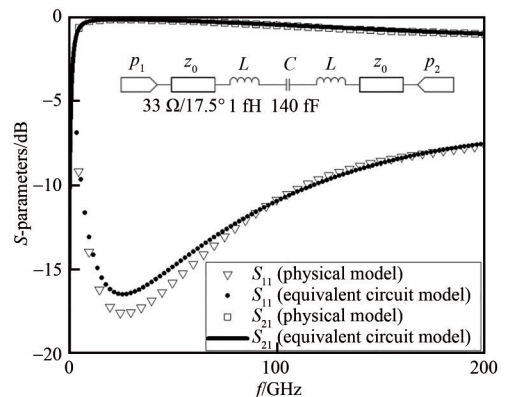


Fig.6 Equivalent circuit model and S-parameter results of four-back-hole capacitance
图 6 四背孔电容等效电路模型和 S 参数仿真结果

占面积最小,可以有效减小背孔排列密度,增加电路集成度。

参考文献:

- [1] ERIKSSON K,GUNNARSSON S E,NILSSON P. Suppression of parasitic substrate modes in multilayer integrated circuits[J]. IEEE Transactions on Electromagnetic Compatibility, 2015,57(3):591–594.
- [2] HAN S M,KIM J O,YOON W S,et al. Design and characterization of the double-layered defected ground structure transmission line with less radiation loss[J]. Microwave and Optical Technology Letters, 2019(61):903–906.
- [3] 黄鹏,李良荣,金海焱,等. 改进的缺陷地结构低通滤波器:CN109216838B[P/OL]. (2020-06-16) [2022-01-18]. [\(HUANG Peng,LI Liangrong,JING Haiyan,et al. Improved defective ground structure low-pass filter:CN109216838B\[P/OL\]. \(2020-06-16\) \[2022-01-18\]. <https://kns.cnki.net/kcms/detail/detail.aspx?>.\)](https://kns.cnki.net/kcms/detail/detail.aspx?)
- [4] LI Oupeng,ZHANG Yong,ZHANG Tiedi,et al. 140 GHz power amplifier based on 0.5 μm composite collector InP DHBT[J]. IEICE Electronics Express, 2017,14(8):1–6. doi:org/10.1587/elex.14.20170191.
- [5] CHEN Yapei,XU Yuehang,SUN Yan,et al. Investigation of Terahertz 3D EM simulation on device modeling and a new InP HBT dispersive inter-electrode impedance extraction method[J]. IEEE Access, 2018(6):45772–45781.
- [6] 倪勤,魏志勇,韩梦涛,等. 电磁脉冲窄缝耦合共振特性[J]. 太赫兹科学与电子信息学报, 2017,15(1):75–80. (NI Qin, WEI Zhiyong,HAN Mengtao,et al. Investigation on resonant electromagnetic pulse coupling into the cavity with a narrow slot[J]. Journal of Terahertz Science and Electronic Information Technology, 2017,15(1):75–80.)
- [7] YEO Junho,LEE Jong-Ig. High-sensitivity microwave sensor based on an interdigital-capacitor-shaped defected ground structure for permittivity characterization[J]. Sensors, 2019,19(3):498. doi:10.3390/s19030498.

作者简介:

侯彦飞(1991–),男,在读博士研究生,主要研究方向为电磁场与微波技术.email:lucashou@163.com.

程伟(1980–),男,博士,高级工程师,主要研究方向为无线电电子学.

王伯武(1993–),男,在读博士研究生,主要研究方向为电磁场与微波技术.

孙岩(1989–),男,硕士,工程师,主要研究方向为无线电电子学.

于伟华(1978–),女,博士,博士生导师,副教授,主要研究方向为电磁场与微波技术.