

文章编号: 2095-4980(2023)07-0952-07

## 一种真有效值测量方案设计与验证

刘宁庄<sup>1</sup>, 段富才<sup>1</sup>, 文迪雅<sup>1</sup>, 许 龙<sup>2</sup>

(1.西安科技大学 电气与控制工程学院, 陕西 西安 710600; 2.中国计量大学 理学院, 浙江 杭州 310018)

**摘 要:** 针对目前国内真有效值(RMS)测量芯片依赖进口的问题, 提出了一种基于现场可编程门阵列(FPGA)的数字式高精度的真有效值测量方案。首先利用FPGA设计有限长单位冲击响应滤波器(FIR)对AD采样后的数据进行滤波, 然后采用改进的有效值计算式计算信号的真有效值, 最后取连续8个周期真有效值的平均值作为最终的测量结果。通过设计串行的开方运算、除法运算的算法, 降低FPGA的使用资源。经过样机实际测试表明, 测量结果与信号真值的相对误差低于0.5%。该方案测量精确度高, 一致性好, 使用资源少, 对于真有效值数字测量芯片的设计和真有效值测量具有一定的参考价值。

**关键词:** 数字测量; 真有效值; 现场可编程门阵列; 冲击响应滤波器; 开方运算; 除法运算

中图分类号: TM932

文献标志码: A

doi: 10.11805/TKYDA2020738

## Design and verification of a true root mean square measurement scheme

LIU Ningzhuang<sup>1</sup>, DUAN Fucui<sup>1</sup>, WEN Diya<sup>1</sup>, XU Long<sup>2</sup>

(1.School of Electric and Control Engineering, Xi'an University of Science and Technology, Xi'an Shaanxi 710600;

2.College of Science, China Jiliang University, Hangzhou Zhejiang 310018)

**Abstract:** A high-precision and digital true root mean square measurement method based on Field Programmable Gate Array(FPGA) is presented. Firstly, FPGA is employed to design Finite Impulse Response(FIR) filter to filter the AD sampled data. Furthermore, the improved RMS formula is adopted to calculate the true RMS of the signal. The mean value of the true RMS value of eight consecutive cycles is taken as the final measurement result. By designing the algorithms of serial extraction and division operations, the use of FPGA resources is reduced. The actual test of the prototype shows that the relative error between the measurement results and the true value of the signal is less than 0.5%. The solution has high measurement accuracy, good consistency, and less resources, which has certain reference value for the design of the true RMS digital measurement chip.

**Keywords:** digital measurement; true root mean square; Field Programmable Gate Array; Finite Impulse Response filter; square root operation; division operation

测量交流信号的真有效值对分析信号的功率以及其他参数都有重要意义<sup>[1-4]</sup>。目前, 真有效值的测量通常使用国外的真有效值芯片<sup>[5-7]</sup>, 如LT1088、LTC1966、AD536、AD637, 不仅价格贵且运货周期长。这些芯片采用模拟电路实现, 精确度无法做到很高, 如AD637的相对误差大于1%, LT1088的相对误差大于2%<sup>[1]</sup>。数字有效值测量法有峰值法、整流平均法、公式法<sup>[8-9]</sup>。峰值法和整流平均法只能测量正弦信号的有效值, 峰值法测量信号的幅值, 除以正弦信号的波峰因数得到有效值; 整流平均法对信号进行全波整流, 再用积分电路求信号的平均值, 乘以正弦信号的波峰因数<sup>[10]</sup>得到有效值。采用公式法, 需考虑整周期采样条件, 否则无法做到高精度。

基于真有效值测量芯片的现状, 提出了一种基于FPGA的真有效值测量方案。FPGA设计能综合成逻辑电路, 在数字集成电路设计中, 有着非常重要的作用。文中从交流信号有效值的计算式出发, 通过对过零点左右采样值进行处理来修正信号周期, 使得在计算有效值时不必再考虑整周期采样条件。在FPGA实现过程中, 首先使用AD芯片对测量信号进行等间隔采样, 接着根据FIR滤波器的线性相位特性设计直接型FIR滤波器, 保证滤波器所消耗的逻辑单元最少, 然后设计了串行除法器 and 串行开方算法以减少实现离散化有效值计算式的逻辑单元,

收稿日期: 2020-12-29; 修回日期: 2021-02-04

基金项目: 国家自然科学基金资助项目(12074354)

将计算结果进行数据平滑处理作为最终测量结果。最后通过样机验证设计方案的可行性。

### 1 理论基础

交流信号的有效值定义为：

$$X = \sqrt{\frac{1}{T} \int_0^T x^2(t) dt} \tag{1}$$

式中： $x(t)$ 为被测量信号  $t$  时刻的瞬时值； $X$ 为被测信号的有效值； $t$ 为时间； $T$ 为交流信号的周期。

设一个周期采样点数为  $N$ ， $x(i)$ 为第  $i$  点的瞬时值( $1 \leq i \leq N$ )，则式(1)离散化的表达式为：

$$X = \sqrt{\frac{1}{N} \sum_{i=1}^N x^2(i)} \tag{2}$$

利用式(2)进行计算需保证采样频率  $f_s$  是信号频率  $f$  的整数倍，否则将有较大误差。为此，对式(2)进行改进。信号频率  $f=1/T$ ，采样间隔  $\Delta t=1/f_s$ ，则有  $f_s/f=N+\Delta n$ ， $0 \leq \Delta n < 1$ ，则：

$$X = \sqrt{\frac{1}{T} \sum_{i=1}^N x^2(i)(1/f_s)} = \sqrt{\frac{1}{N+\Delta n} \sum_{i=1}^N x^2(i)} \tag{3}$$

图 1 为一般情况下的采样波形示意图。由图 1 知：

$$N + \Delta n = f_s/f = [a\Delta t + (N-1)\Delta t + b\Delta t]/\Delta t = a + (N-1) + b \tag{4}$$

当采样速率  $f_s$  远大于信号频率  $f$  时，相邻 2 个采样点间可看作线性关系。则  $x_{m-1}(N)$  和  $x_m(1)$  为线性， $x_m(N)$  和  $x_{m+1}(1)$  为线性， $a$  与  $b$  分别为：

$$a = \frac{x_m(1)}{x_m(1) - x_{m-1}(N)} \tag{5}$$

$$b = \frac{x_m(N)}{x_m(N) - x_{m+1}(1)} \tag{6}$$

将式(4)~式(6)代入式(3)可得

$$X = \sqrt{\frac{\sum_{i=1}^N x_m^2(i)}{N-1 + \frac{x_m(1)}{x_m(1) - x_{m-1}(N)} + \frac{x_m(N)}{x_m(N) - x_{m+1}(1)}}} \tag{7}$$

式(7)即为改进的真有效值计算式。

根据 Nyquist 采样定理，采样频率至少需大于信号中最高频率的 2 倍。在实际应用中，为了提高测量精确度，确保过零点左右的采样点为线性关系，采样频率应取信号频率的 10 倍以上。

### 2 方案设计与实现

测量方案顶层设计由锁相环(Phase Locked Loop, PLL) IP 核、AD 驱动、FIR IP 核、积分均值运算 IP 核、开方运算 IP 核、数据平滑 IP 核 6 部分组成，如图 2 所示。

AD 驱动模块用来采集 ADS7863 模数转换芯片输出的数字信号，然后经过 FIR IP 核进行滤波处理，将滤波后的信号按式(7)进行运算，最后通过数据平滑 IP 核输出最终的测量结果。图 2 中 SW 为滤波器控制信号，在测量三角波、方波等信号时，不使用滤波功能，防止信号经过滤波器后产生失真。

#### 2.1 PLL IP 核

为了给 ADS7863 芯片提供一个稳定的 32 MHz 的时钟信号，采用 Intel 公司提供的 PLL IP 软核对系统时钟进行分频。数字锁相环与模拟锁相环相比，具有功耗低、稳定性高、易于集成、可靠性高的优点，能有效降低 AD 采样的误差，从而提高真有效值测量精确度。

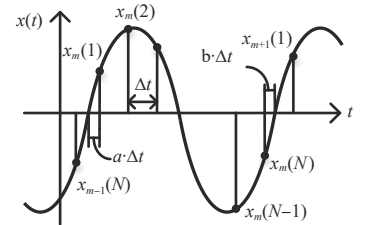


Fig.1 AC signal sampling  
图 1 交流信号采样

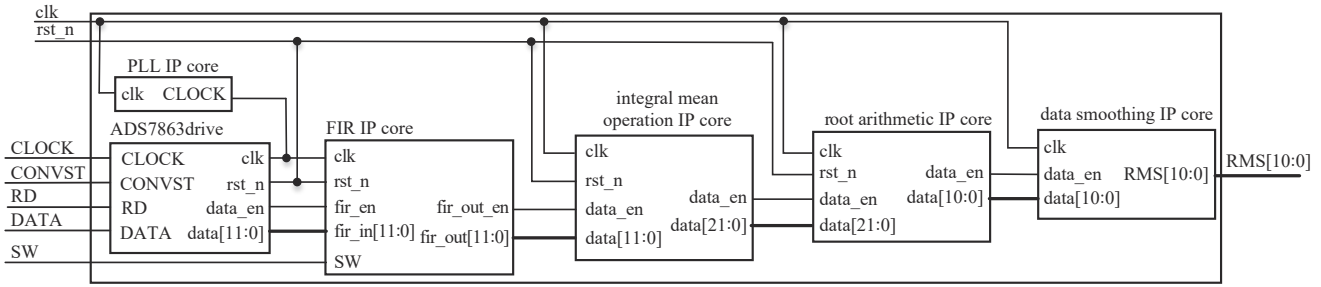


Fig.2 Top-level design  
图2 顶层设计

### 2.2 AD 驱动

将模拟信号转换为数字信号是整个方案实现的前提，AD 芯片的采样率和分辨力决定了可测量的信号频带范围和测量结果的精确度。文中采用 ADS7863 模数转换芯片实现该功能，读者可根据需要选择合适的 AD 芯片。ADS7863 芯片具有 2 M 的最大采样率、12 bit 分辨力，模拟输入电压范围为 ±2.5 V，信噪比为 71 dB，具有高精度、低功耗、采样速率可配置等特点。文中 AD 驱动模块设计共消耗了 56 个逻辑单元。

### 2.3 FIR IP 核

为了消除测量信号中的高频噪声信号，提高真有效值测量精确度，设计 FIR 低通滤波器对输入信号进行滤波处理<sup>[11]</sup>。对于长度为  $n$  的 FIR 滤波器，输入时间序列  $x(n)$  与滤波器输出  $y(n)$  的关系为：

$$y(n) = \sum_{i=0}^{n-1} h(i)x(n-i) \tag{8}$$

式中  $h(i)$  为滤波器系数。

利用 MATLAB 设计 FIR 低通滤波器的系数，设定滤波器的阶数为 39 阶，长度为 40，采样频率为 2 MHz，截止频率为 244 kHz，采用 Bartlett-Hanning 窗设计滤波器，得到的滤波器通带最大衰减为 0.025 dB，幅值最大降低 0.28%，阻带最小衰减为 40 dB，符合设计要求。为了便于 FPGA 实现，对滤波器系数进行量化，文中量化长度设置为 9 bit。滤波器幅度响应特性曲线如图 3 所示，其中虚线为滤波器系数量化前的幅度响应曲线，实线为滤波器系数量化后的幅度响应曲线。

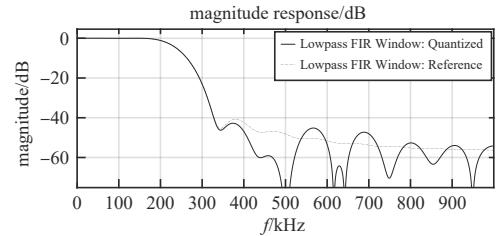


Fig.3 Magnitude response  
图3 幅度响应

从图 3 可看出，系数量化对滤波器的阻带影响较大，对通带影响很小，系数量化后的幅度响应满足设计要求。

FIR 滤波器按照结构可分为直接型、级联型和频率抽样型。按直接型设计的长度为  $n$  的 FIR 滤波器需要  $n$  个乘法器、 $n-1$  个延迟器、 $n-1$  个加法器；级联型 FIR 滤波器将系统函数  $H(z)$  分解为若干个实系数一阶、二阶因子相乘，所需要的乘法器多于直接型；频率抽样型 FIR 滤波器的系数多为复数，增加了复数乘法和存储量，所需要的逻辑资源也多于直接型。因此，为保证使用的逻辑单元最少，选择设计直接型 FIR 滤波器。

考虑到 FIR 滤波器具有线性相位的特性，滤波器系数具有对称性，因此可对式(8)进行优化，把系数相等的项进行合并，可使乘法运算的次数减少一半。式(9)即为滤波器长度为偶数时优化后的输入、输出表达式。

$$y(n) = \sum_{i=0}^{n/2-1} h(i) [x(n-i) + x(i+1)] \tag{9}$$

图 4 为设计的 FIR IP 核，共消耗了 1 314 个逻辑单元。而 MATLAB 直接生成的滤波器消耗了 1 681 个逻辑单元，资源使用率降低了 21.8%。

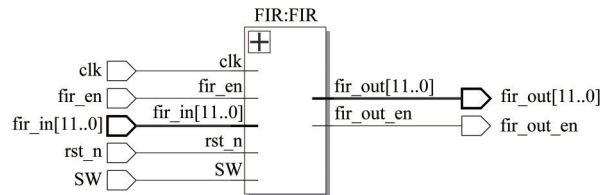


Fig.4 FIR IP core  
图4 FIR IP核

### 2.4 积分均值运算 IP 核

由式(7)可知，积分均值运算离散化的改进公式为：

$$\overline{X^2} = \frac{\sum_{i=1}^N x_m^2(i)}{N-1 + \frac{x_m(1)}{x_m(1)-x_{m-1}(N)} + \frac{x_m(N)}{x_m(N)-x_{m+1}(1)}} \quad (10)$$

由于FPGA只能表示整数，为了避免分母的小数除法，首先将分子、分母同时乘以 $2^{10}$ ，再进行除法运算，则式(10)变为：

$$\overline{X^2} = \frac{\sum_{i=1}^N x_m^2(i) \times 2^{10}}{(N-1) \times 2^{10} + \frac{x_m(1) \times 2^{10}}{x_m(1)-x_{m-1}(N)} + \frac{x_m(N) \times 2^{10}}{x_m(N)-x_{m+1}(1)}} \quad (11)$$

式(11)进行了3次除法运算，直接进行除法运算将会消耗FPGA大量的逻辑资源，文中根据手算除法的思想设计了串行除法器。设测量信号是频率为1 kHz，幅值为AD满量程的方波，则式(11)分子位宽为43 bit，则除法运算需要 $43 \times 20$  ns，远低于信号的周期，串行除法器满足设计要求。

设计的积分均值运算IP核如图5所示，共消耗了455个逻辑单元。

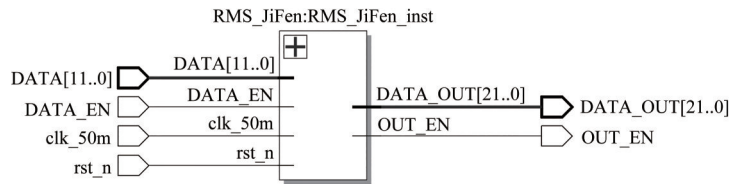


Fig.5 IP core of integral mean operation  
图5 积分均值运算IP核

### 2.5 开方运算IP核

常用的开方算法有逐次逼近法、牛顿迭代法或者调用FPGA厂家提供的IP核，逐次逼近法通过将实验值由高位到低位依次置1，把实验值的平方与输入值进行比较，确定该位为0还是1，以此迭代到最后一位，每次迭代都需要乘法运算；而牛顿迭代法不好确定计算初值，且每次迭代都需要进行除法运算。由于牛顿迭代法和逐次逼近法都需要消耗大量的逻辑资源，文中设计了非冗余开方算法。该算法每次迭代都会得出确定的根值以及余数，只需要进行移位和加减法运算，使用少量的逻辑资源，便于FPGA实现。

二进制开方原理：设有二进制数 $A_1A_0$ ，则：

$$(A_1A_0)^2 = 4A_1 + A_0 + 4A_1A_0 \quad (12)$$

$$A_0 = \left( (A_1A_0)^2 - 4A_1 \right) / (4A_1 + 1) \quad (13)$$

式中： $(A_1A_0)^2 - 4A_1$ 为当前迭代的余数； $4A_1 + 1$ 为当前迭代的根值乘以4加1。由于二进制数 $A_0$ 只能是0或1，因此只需通过比较 $(A_1A_0)^2 - 4A_1$ 与 $4A_1 + 1$ 的大小关系，即可得出 $A_0$ 的取值。因为 $4A_1 = (A_100)_2$ ，所以在求二进制开方运算前，需将被开方二进制数从低位到高位两位一段进行划分。

设被开方二进制数为 $X = X_{n-1}X_{n-2} \dots X_1X_0$ ， $n$ 为偶数，算法具体流程如下：

步骤1：初始化数据寄存器 $D = X$ ，迭代计数寄存器 $i = 0$ ，根值寄存器 $root = 0$ ，余数寄存器 $rem = 0$ ；

步骤2：若 $i < n/2$ ，转至步骤3，否则转至步骤7；

步骤3：若 $D_{n-1}D_{n-2} + (rem \ll 2) \geq (root \ll 2) + 1$ ，则

$root = (root \ll 1) + 1$ ， $rem = D_{n-1}D_{n-2} + (rem \ll 2) - (root \ll 2) - 1$ ，否则 $root = (root \ll 1)$ ， $rem = (D_{n-1}D_{n-2} + (rem \ll 2))$ ；

步骤4： $D = D \ll 2$ ；

步骤5： $i = i + 1$ ；

步骤6：重复步骤2~5；

步骤7：输出根值 $root$ 和余数 $rem$ 。

总共需迭代 $n/2$ 次， $\ll$ 为移位运算符， $root \ll 1$ 表示 $root$ 左移一位，相当于乘以2。

设计的开方运算IP核如图6所示，共消耗了87个逻辑资源。



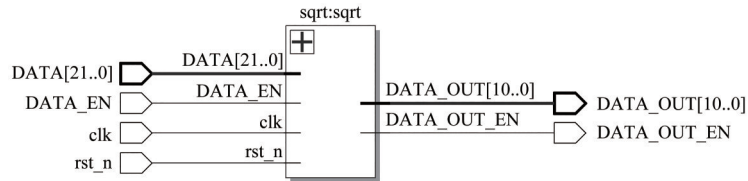


Fig.6 IP core of square root  
图6 开方运算IP核

## 2.6 数据平滑IP核

实际应用中, AD芯片即使采样相同的信号, 得到的数字信号也会有波动, 导致计算出的真有效值不稳定。为提高测量的稳定性, 在真有效值输出端进行数据均值处理, 文中取连续8个真有效值的平均值作为最终测量结果。该模块共消耗31个逻辑资源。

## 3 FPGA 仿真验证与实验验证

为了验证测量方案的可行性, 对方案进行了仿真验证, 并做了测试样机进行实际验证。

### 3.1 FPGA 仿真验证

通过编写测试文件, 模拟AD采样后的信号, 作为系统的测量信号, 验证系统的可行性。

图7为输入频率100 kHz, 峰值819标准正弦信号的仿真波形。DATA为测量信号, FIR为滤波后的数据, rms为输出真有效值, rms\_en为输出有效信号。测量值为577, 真有效值的理论值为 $819/\sqrt{2}=579$ , 相对误差为 $(579-577)/579=0.35\%$ 。

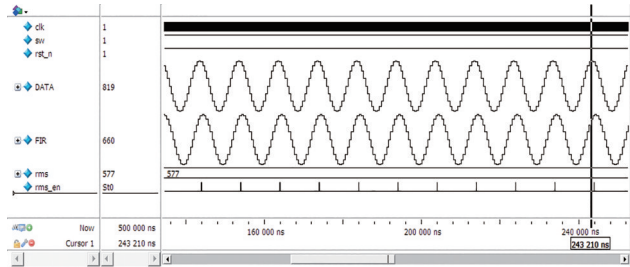


Fig.7 Simulation waveform of standard sine signal  
图7 标准正弦信号仿真波形

图8为输入100 kHz、幅值为1 000的正弦有效信号和500 kHz幅值为200的高频噪声的叠加信号, 在使用了滤波器下的仿真波形。滤波器有效地滤除了500 kHz的噪声信号, 测量的真有效值为705, 理论的真有效值为 $1\ 000/\sqrt{2}=707$ , 相对误差为 $(707-705)/707=0.28\%$ 。

图9为输入和图8一样的情况下, 不使用滤波功能的仿真波形。测量的真有效值为721, 相对误差为 $(721-707)/707=1.98\%$ 。

图10为输入100 kHz、幅值为1 000的标准三角波信号仿真波形。测量的真有效值为575, 误差为 $(577-575)/577=0.35\%$ 。

图11为输入33.33 kHz、幅值为1 000的方波。测量的真有效值为1 000, 误差为0。

对比图8、图9的测量结果可知, 在测量含噪声的正弦信号时, 滤波器能有效滤除高频噪声信号, 提高测量精确度, 相对误差低于0.5%。通过图10、图11的测量结果可知, 在测量三角波、方波信号时, 相对误差也低于0.5%, 仿真通过。

### 3.2 FPGA 实验验证

设计共消耗了1 943个逻辑单元、1个锁相环, 因此可选择Intel公司4系列FPGA逻辑资源最低的EP4CE6E22C8芯片进行实验验证。EP4CE6E22C8含有2个锁相环, 6 272个逻辑单元, 满足设计要求。

通过在样机系统输入端输入不同频率、不同幅值、不同波形的测量信号, 测试该方案的可行性与精确度, 测量结果如表1所示。在测量正弦波时使用了滤波器, 测量三角波、方波时, 没有使用滤波器。由表1可知, 文中基于FPGA设计的有效值测量方案测得的结果与实际值的相对误差小于0.5%, 符合设计要求。

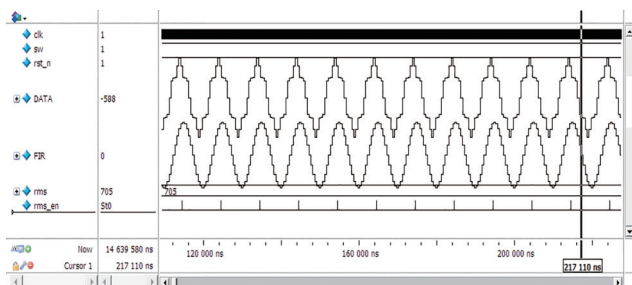


Fig.8 Simulation waveform of sinusoidal noise signal with filter  
图 8 正弦含噪声信号有滤波器的仿真波形

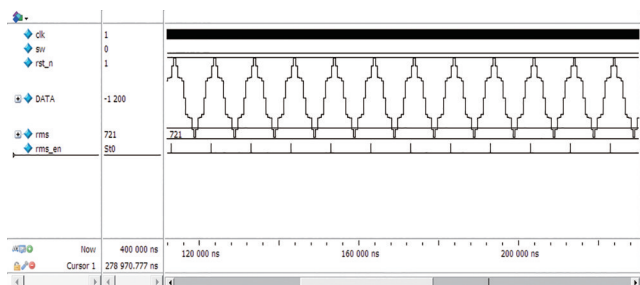


Fig.9 Simulation waveform of sinusoidal noise signal without filter  
图 9 正弦含噪声信号无滤波器的仿真波形

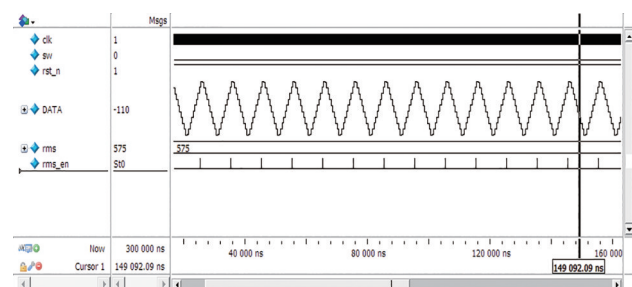


Fig.10 Simulation waveform of standard triangle signal  
图 10 标准三角信号的仿真波形

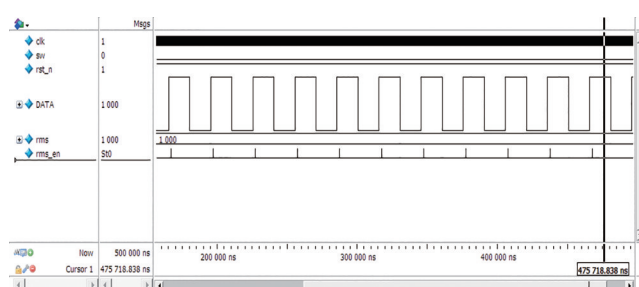


Fig.11 Simulation waveform of standard square signal  
图 11 标准方波信号的仿真波形

表 1 实验结果

Table1 Experimental results

measurement signal			noise signal			theoretical value/V	measured value/V	relative error/%
wave	frequency/kHz	amplitude/V	wave	frequency/kHz	amplitude/V			
sine	20	1				0.707 1	0.706 8	0.04
sine	70	1				0.707 1	0.708 0	0.13
sine	20	1	sine	400	0.3	0.707 1	0.708 0	0.13
sine	70	1				0.707 1	0.708 0	0.13
triangular	10	1				0.577 4	0.578 6	0.21
triangular	70	1				0.577 4	0.577 4	0.00
square	50	1				1	0.998 5	0.15
square	100	1				1	0.996 1	0.39

#### 4 误差分析

在实际测量过程中，误差来源主要有噪声信号、AD量化误差、舍入误差、式(7)的理论误差。

通过设计 FIR 低通滤波器降低高频噪声信号的影响。信号在通过滤波器时，会有一些的衰减，带来一定的相对误差。滤波器阶数越高，通带最大衰减越小，阻带最小衰减越大，测量精确度越高，但需要的 FPGA 逻辑资源越多。文中设计的滤波器通带最大衰减为 0.025 dB，滤波器引入的最大相对误差为 0.28%。

AD 量化误差是由于 AD 有限的分辨力引起的，误差最大为量化等级的一半，AD 量化误差可通过提高 AD 的分辨力来降低，文中使用的 AD 芯片输入电压范围为 ±2.5 V，分辨力为 12 bit，最大量化绝对误差为 0.000 6 V，若需要更高测量精确度时，可选择分辨力更高的 AD 芯片。

在进行除法、开方运算时，不可避免地产生舍入误差。式(7)共用到了 3 次除法运算，1 次开方运算，定性地可以得出，当一个周期内的采样点数越多时，除法运算带来的舍入误差越小，计算结果越精确。文中开方运算舍去了小数部分，最大舍入绝对误差为 0.001 2 V。

式(7)的理论误差是因为过零点左右的值不是绝对的线性。在非整周期采样时，会产生误差，当 AD 采样间隔越小，采样率越高，相邻 2 个采样点越接近线性关系，则误差越小。

#### 5 结论

文中提出了一种基于 FPGA 的数字式高精度的真有效值测量方案，通过对离散化有效值计算式进行改进，以及在输入端设计 FIR 滤波器、输出端进行数据平滑处理，使得测量结果与信号真值的相对误差低于 0.5%，高

于 AD637 和 LT1088 的测量精确度。此外,设计 FIR 滤波器时采用线性相位结构,以及设计串行除法器 and 串行开方算法,有效减少了 FPGA 的使用资源,最终用了 1 943 个逻辑单元、1 个锁相环实现了真有效值的测量,保证了数字芯片设计的面积、功耗、成本较低,对真有效值数字测量芯片的设计具有一定的参考价值。

#### 参考文献:

- [1] 王尧君,刘冲,蒋慧. 两种测量电压有效值方法的比较[J]. 中国测试, 2013,39(3):27-30. (WANG Yaojun,LIU Chong,JIANG Hui. Comparison of two RMS-DC measurement methods[J]. China Measurement & Test, 2013,39(3):27-30.)
- [2] 刘刚,陈树新,罗维东. 电机非正弦供电电压单周期真有效值同步采样[J]. 电机与控制学报, 2014,18(1):112-116. (LIU Gang, CHEN Shuxin,LUO Weidong. Synchronous sampling measuring method of the single-cycle true RMS of motor non-sinusoidal power supply voltage[J]. Electric Machines and Control, 2014,18(1):112-116.)
- [3] 王小霞,陈练,李心耀. 任意高频信号真有效值测量技术[J]. 太赫兹科学与电子信息学报, 2010,8(5):569-572. (WANG Xiaoxia,CHEN Lian,LI Xinyao. Measure techniques for the true RMS of any high frequency signal[J]. Journal of Terahertz Science and Electronic Information Technology, 2010,8(5):569-572.)
- [4] 孙俊香. 提高交流信号真有效值测量精确度的改进方法[J]. 电测与仪表, 2011,48(11):20-23. (SUN Junxiang. The method to improve the accuracy of true effective value in AC sampling measurement[J]. Electrical Measurement & Instrumentation, 2011, 48(11):20-23.)
- [5] 乐珺,姚恩涛,张明伟,等. 基于 AD637 的直流电源纹波真有效值测量电路设计[J]. 电源技术, 2014,38(10):1926-1929. (LE Jun,YAO Entao,ZHANG Mingwei,et al. Design of measurement circuit on true RMS for DC power ripple based on AD637[J]. Chinese Journal of Power Sources, 2014,38(10):1926-1929.)
- [6] 侯月,高雪岩,尹振红. 智能交流电流真有效值数字测量装置开发[J]. 产业与科技论坛, 2018,17(18):59-60. (HOU Yue,GAO Xueyan,YIN Zhenhong. Development of intelligent digital measuring device for true RMS value of AC current[J]. Industrial & Science Tribune, 2018,17(18):59-60.)
- [7] 田晔非. 高频杂波信号真有效值测量技术[J]. 自动化与仪器仪表, 2017(1):72-73. (TIAN Yefei. Measure techniques for the TRMS of high frequency noise current signal[J]. Automation & Instrumentation, 2017(1):72-73.)
- [8] 庞吉耀. 一种获得交流信号真有效值方法[J]. 现代电子技术, 2015,38(13):53-55. (PANG Jiyao. An algorithm to acquire true RMS of AC signal[J]. Modern Electronics Technique, 2015,38(13):53-55.)
- [9] 谢然,高常进,窦永磊,等. 基于真有效值法测量交流电压信号有效值的仿真研究[J]. 中国特种设备安全, 2018,34(7):7-11. (XIE Ran,GAO Changjin,DOU Yonglei,et al. The simulation research of the valid value measurement of AC voltage signal based on TRMS method[J]. China Special Equipment Safety, 2018,34(7):7-11.)
- [10] 王成国,常博文,王良斌. 畸变波形的真有效值测量应用分析[J]. 内燃机与动力装置, 2018,35(1): 53-57. (WANG Chengguo, CHANG Bowen, WANG Liangbin. Application analysis of the distortion waveform true RMS measurement[J]. Internal Combustion Engine & Powerplant, 2018,35(1):53-57.)
- [11] 林跃杉,林郁,尹韬,等. FIR 基于 FPGA 的高并行度 DA 结构[J]. 太赫兹科学与电子信息学报, 2018,16(1):170-175. (LIN Yueshan,LIN Yu,YIN Tao,et al. FPGA based high parallelism DA architecture for FIR[J]. Journal of Terahertz Science and Electronic Information Technology, 2018,16(1):170-175.)

#### 作者简介:

刘宁庄(1973-),男,硕士,副教授,主要研究方向为 SOC 嵌入式系统应用技术、FPGA 应用技术 .email: liuningzhuang@126.com.

段富才(1996-),男,硕士,主要研究方向为 FPGA 应用技术.

文迪雅(1997-),女,硕士,主要研究方向为超声波电源.

许龙(1981-),男,博士,教授,主要研究方向为超声电子技术.