

文章编号: 2095-4980(2024)05-0529-08

## 一种低附加相位噪声的频率合成方法

邹海明, 高伟, 刘文冬, 罗俊, 王晶阳

(珠海微度芯创科技有限责任公司, 广东 珠海 519000)

**摘要:** 频率源的相位噪声水平直接制约雷达的性能上限, 因而低相噪频率合成技术是高性能雷达系统的一项关键技术。现有低相噪频率合成方法常用高次倍频实现, 整体性能上严重依赖于低相噪晶振, 成本一直居高不下。对此, 提出一种低附加相位噪声频率合成方法, 即采用最小化链路上附加相位噪声的技术, 用普通恒温晶振级联低相噪放大器、梳状谱发生器和锁相环, 最终实现低相位噪声的频率合成。实测数据表明, 本文方法以 100 MHz 普通恒温晶振为参考, 积分区间 [1 kHz, 30 MHz] 的时间抖动为 11 fs, 频率合成在 5.8 GHz 载波的相位噪声为  $-119$  dBc/Hz@1 kHz, 积分区间 [1 kHz, 30 MHz] 的时间抖动为 13.7 fs, 总附加时间抖动为 8.17 fs, 附加相位噪声仅 1.9 dB, 达到了业界领先水平, 能够有效提升毫米波雷达系统的成像性能, 优于传统频率合成方法。

**关键词:** 梳状谱; 附加相位噪声; 时间抖动; 锁相环; 频率合成

中图分类号: TN74

文献标志码: A

doi: 10.11805/TKYDA2023267

## A kind of frequency synthesis with low additional phase noise

ZOU Haiming, GAO Wei, LIU Wendong, LUO Jun, WANG Jingyang

(Zhuhai Microcreative Tech. Co., Ltd., Zhuhai Guangdong 519000, China)

**Abstract:** The phase noise level of the frequency source directly restricts the upper limit of radar performance, thus low phase noise frequency synthesis is a key technology for high performance radar systems. Existing low phase noise frequency synthesis methods are often realized by high order frequency doubling, and the overall performance is heavily dependent on the low phase noise Oven Controlled Crystal Oscillator(OCXO), therefore the cost is high. In this paper, a low additional phase noise frequency synthesis method is proposed, the technique of minimizing the additional phase noise on the link is adopted, and an ordinary OCXO is employed to cascade the low phase-noise amplifier, comb generator, and phase-locked loop to ultimately realize the frequency synthesis with low phase noise. The measured data show that the proposed method uses a 100 MHz OCXO as a reference, the time jitter in the integration interval [1 kHz, 30 MHz] is 11 fs, the phase noise of the frequency synthesized at the 5.8 GHz carrier is  $-119$  dBc/Hz@1 kHz, the time jitter in the integration interval [1 kHz, 30 MHz] is 13.7 fs, the total additional time jitter is 8.17 fs, and the additional phase noise is only 1.9 dB. It reaches the industry-leading level, which can effectively improve the imaging performance of millimeter-wave radar systems and outperforms the traditional frequency synthesis methods.

**Keywords:** comb generator; additive phase noise; time jitter; Phase Locked Loop(PLL); frequency synthesis

接收机的灵敏度主要受限于接收机内部的热噪声和外部的干扰噪声, 核心是信噪比。在泄漏功率和噪声等效带宽一定条件下, 接收机的灵敏度与本振信号存在线性关系, 本振信号的相位噪声越低, 则接收机灵敏度越高。国内外业界为实现低相噪的频率源, 可谓百花齐放, 百家争鸣, 如采用低相位噪声恒温晶振(OCXO)、低温蓝宝石振荡器(Cryogenic Sapphire Oscillator, CSO)<sup>[1-2]</sup>或者光电振荡器(Opto-Electronic Oscillator, OEO)<sup>[3]</sup>作为参考, 配套使用直接数字频率合成器、锁相环、介质振荡器或者铯铁石榴石振荡器, 实现低相位噪声的点频、扫频甚至捷变频频率输出。目前, 国内外学者在低相噪频率合成方面已取得一定的成果。

在国内, 王玉江等<sup>[4]</sup>将直接数字频率合成器输出的信号直接 16 倍频, 在 9.6 GHz 上的典型相位噪声优于

-98 dBc/Hz@1 kHz; 王新浪等<sup>[5]</sup>基于低相位噪声恒温晶振, 经功分放大后驱动阶跃恢复二极管 (Step Recovery Diodes, SRD) 梳状谱产生丰富的谐波, 得到 12.9 GHz 载波信号的相位噪声为 -121.6 dBc/Hz@1 kHz; 谢走甜等<sup>[6]</sup>将 100 MHz 恒温晶振 80 次倍频后得到本振信号, 该本振信号与 1.2 GHz 分频下来的信号相混频得到频率可变的低相位噪声本振, 本振频率 8.13 GHz 相位噪声 -119.21 dBc/Hz@1 kHz; 宋雪莹等<sup>[7]</sup>利用直接数字频率合成器的输出作为锁相环的参考, 实现了频率合成器的设计, 以可编程逻辑器件、AD9910、ADF4108 为核心芯片, 实现多种类型信号的输出; 赵超颖等<sup>[8]</sup>利用阶跃恢复二极管非线性特性设计了梳状谱发生电路, 用于实现微波倍频功能, 输出频率覆盖 0.1~10 GHz。在国外, Meysam Bahmanian 等<sup>[9]</sup>提出了一种低相噪的光电锁相环, 它将微波信号锁定在锁模激光器上, 输出频率覆盖 2~20 GHz 范围, [1 kHz, 100 MHz] 积分区间的时间抖动小于 4 fs; Waddah A Al-Ashwal 等则是基于低温蓝宝石振荡器进行设计, 将低温蓝宝石振荡器输出基频信号与分频信号再互相混频滤波输出, 其在 11.2 GHz 基频信号的典型相位噪声约 -120 dBc/Hz@1 kHz。

恒温晶振本身具有极高的 Q 值和短期稳定性、极低的相位噪声和时间抖动, 但在现阶段实际应用的频率合成方法难以将其性能充分发挥出来, 频率合成的中间过程环节引入的附加相噪还相当显著。美国 ADI 公司新近发布的 ADF4377 频率合成器, 采用锁相环的设计架构, 恒温晶振产生 500 MHz 的鉴相频率, 输出 12 GHz 载波在 [1 kHz, 100 MHz] 积分区间的时间抖动约 18 fs。为实现既定性能, 设计者尽可能在参考源相位噪声指标上多留余量, 然而低相位噪声的恒温晶振<sup>[5]</sup>需要极致的工艺保证、器件筛选甚至用多个晶体滤波器控制远端噪声, 造价高昂, 这是因为普通 100 MHz 恒温晶振的典型相噪 < -155 dBc/Hz@1 kHz, 超低相噪恒温晶振通常基于众多普通恒温晶振进行筛选, 选出典型相噪 < -165 dBc/Hz@1 kHz 的晶体, 并且在其输出串接晶体滤波器, 从而加工组装成超低相噪恒温晶振。低温蓝宝石和光电振荡器为参考的频率合成器在普通工业级应用中短期推广应用更是遥不可及。鉴于此, 本文提出一种低附加相噪和时间抖动的频率合成办法, 它以普通恒温晶振为参考源, 主要利用阶跃二极管的强非线性和锁相环的负反馈原理, 通过有效改进频率合成链路上放大器、谐波发生器和锁相环等关键器件的设计, 降低有源器件引入的附加相位噪声, 最终使得输出信号的时间抖动尽可能逼近晶振参考源, 最大化利用参考源应有的性能。

## 1 低附加相位噪声频率源合成的方法

现代电子系统里面有一个参考源, 基于该源用倍、分频与锁相等电路可合成各种子系统所需的时钟、本振等信号。常温工作条件下, 电子器件都有热噪声、闪烁噪声等, 它在电路中的应用会逐级累加噪声并使得信号源的信噪比递减。由于相位噪声能在频域上积分换算成时间抖动  $T_j$  (单位为皮秒或飞秒), 为便于数学上计算分析与比较, 下文将器件输出的相位噪声用一定带宽内的均方根时间抖动  $T_j$  表示, 器件本身的附加相位噪声用均方根附加时间抖动  $\Delta T_j$  表示。信噪比按式  $R_{SN} = 1/(2 \times \pi \times f \times T_j)$  得到, 其中  $f$  为载波频率。可见, 时间抖动  $T_j$  越大, 相位噪声越高, 信噪比越低; 反之则反是。

如图 1 所示, 参考频率源可以是源自振荡器或其他, 输出的时间抖动用  $T_j(0)$  表示, 经过器件 1, 2, 3, ..., N 级联频率合成后, 分别引入了附加时间抖动  $\Delta T_j(1), \Delta T_j(2), \Delta T_j(3), \dots, \Delta T_j(N)$ , 末级最终输出时间抖动用  $\sum_{n=0}^N T_j(n)$  表示, 它们满足式(1):

$$\sum_{n=0}^N T_j(n) = \sqrt{T_j(0)^2 + \Delta T_j(1)^2 + \Delta T_j(2)^2 + \Delta T_j(3)^2 + \dots + \Delta T_j(N)^2} \quad (1)$$

依据式(1), 为最终在末级得到符合要求的低时间抖动和相位噪声的频率源, 首先是参考源的相位噪声足够

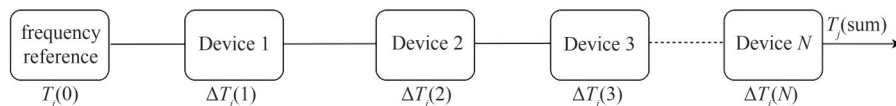


Fig.1 Diagram of frequency synthesis circuit cascade

图 1 频率合成电路级联图

低, 其次要求频率合成电路中级联器件的数量尽量少, 附加时间抖动  $\Delta T_j$  足够小。

进一步需考虑到直流供电引入的噪声, 电源输出的纹波与器件增益波动经幅相转换, 会恶化相位噪声和增加时间抖动。假设一理想单音信号  $A(t) = A_0 \cos(\omega_0 t + \phi)$ , 当它携带频率为  $\omega$ 、幅度为  $A_0 \beta$  的噪声后变为  $A(t) = A_0 [1 + \beta \sin(\omega t)] \cos(\omega_0 t + \phi)$ , 经展开与积化和差得到式(2):

$$A(t) = A_0 \cos(\omega_0 t + \phi) + \frac{A_0 \beta}{2} \sin[(\omega + \omega_0)t + \phi] + \frac{A_0 \beta}{2} \sin[(\omega - \omega_0)t - \phi] \quad (2)$$

可知，幅度噪声转换为偏移载波  $\pm \omega$ 、单边带幅值为  $A_0 \beta / 2$  的相位噪声，相位噪声的有效值  $\Delta U_{\text{RMS}} = A_0 \beta / 2 \sqrt{2}$ ，而载波的有效值  $U_{\text{RMS}} = A_0 / \sqrt{2}$ ，与载波的幅值比为  $\beta / 2$ ，这就是电源噪声或增益波动由幅度转变而来的相位噪声。

## 2 低附加相位噪声频率源合成的设计

频率合成通用的方法是基于某一低频率的参考源，它来自电子振荡器或原子钟，然后通过锁相环或者直接倍、混频的方式将参考频率搬移到更高的微波甚至毫米波用作本振或者高速采样时钟，高速直接数字频率合成与数模转换芯片可进一步利用该高速采样时钟合成奈奎斯特区的任意波形。低附加相位噪声频率合成除了应用这些通用的方法之外，更侧重器件的选择、前后级级联组合和关键电路的设计，以期最终输出的性能逼近参考源本身，甚至有所改进。

### 2.1 设计方案

根据前文的分析计算，提出如图 2 所示的设计方案。自恒温晶振向右，依次为梳状谱发生器倍频电路、锁相环电路和高速数模转换电路。具体地，100 MHz 的恒温晶振用低相位噪声放大器放大后去驱动阶跃恢复二极管梳状谱发生器产生丰富的谐波，经窄带滤波器滤波得到 6 GHz 频点的单音<sup>[10]</sup>，幅度放大到鉴相器额定的输入功率；紧接着级联锁相环电路，压控振荡器经二分频后信号与源自梳谱的 6 GHz 参考信号进行鉴相，电荷泵电流经环路滤波器滤除高频分量后去调谐压控振荡器，锁定到 12 GHz 的二分器输出 6 GHz；最后级联高速数模转换电路，它输入 6 GHz 的点频参考源，编程输出覆盖 DC-9 GHz 的任意波形信号。

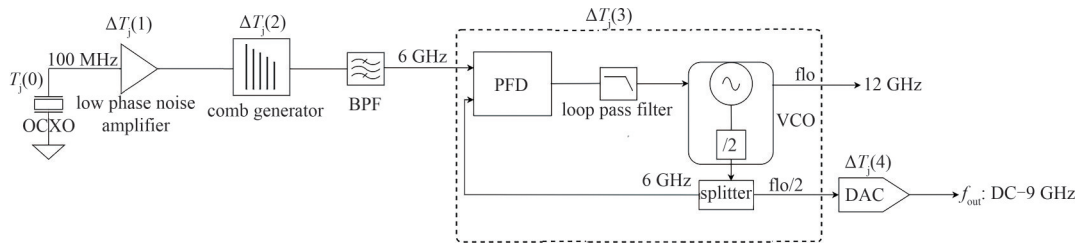


Fig.2 Diagram of frequency synthesis for ultra low additive phase noise  
图 2 低附加相位噪声频率合成设计框图

在此，参考源恒温晶振输出的时间抖动用  $T_j(0)$  表示，末级数模转换器输出信号源的总时间抖动为  $\sum_{n=0}^N T_j(n)$ 。鉴于滤波器等无源器件引入的附加相位噪声可以忽略，在此将关键器件锁定在低相噪放大器、梳状谱发生器、锁相环和数模转换器，它们的附加时间抖动分别用  $\Delta T_j(1)$ 、 $\Delta T_j(2)$ 、 $\Delta T_j(3)$  和  $\Delta T_j(4)$  表示。为使得  $\sum_{n=0}^N T_j(n) \rightarrow T_j(0)$ ，频率合成级联电路的附加时间抖动要低，数量宜少。

### 2.2 低相噪放大器的设计

低相噪放大器关注的核心指标首先是器件本身的噪声低，其次是增益随温度、电压等因素波动要小。因此，选用这两方面性能最优的双极性晶体管，并采用负反馈设计来减小增益的波动，使得  $\Delta T_j(1)$  最小。

见原理图 3， $J_{19}$  为晶振信号的输入， $J_{20}$  为低相噪放大器的输出， $R_{15}$ 、 $L_{14}$  和  $R_{22}$  构成放大器  $Q_4$  的负反馈电路。经调试优化该 3 个值的大小和输入输出匹配，最终使附加时间抖动  $\Delta T_j(1)$  最小，并确保在工作频率上的反射损耗最低，输出功率接近 1 dB 压缩点。

### 2.3 低噪声电源系统的应用

电源的核心指标为输出噪声，用低噪声低压差线性稳压器进行供电，设在 10 kHz 频偏上噪声谱密度为  $Q$ 。按 1 Hz 的带宽进行计算，则该处的噪声有效值为  $\Delta U_{\text{RMS}} = A_0 \beta / 2 \sqrt{2} = Q \sqrt{1} = Q$ 。本设计基于 100 MHz 恒温晶振参考源，用低相噪放大器放大到特定功率去激励梳状谱发生器产生谐波，其对应 50 Ω 负载上的电压有效值为  $U_{\text{RMS}} = A_0 / \sqrt{2}$ ，则单边带噪声与载波  $A_0$  的幅值比用对数表示为： $\beta / 2 = 20 \lg \frac{\Delta U_{\text{RMS}}}{U_{\text{RMS}}} = 20 \lg \frac{Q}{U_{\text{RMS}}}$ 。对于一个恒温晶振的相

位噪声，如其相位噪声低于该值( $\beta/2$ )，则电源纹波贡献的噪声不可忽略。

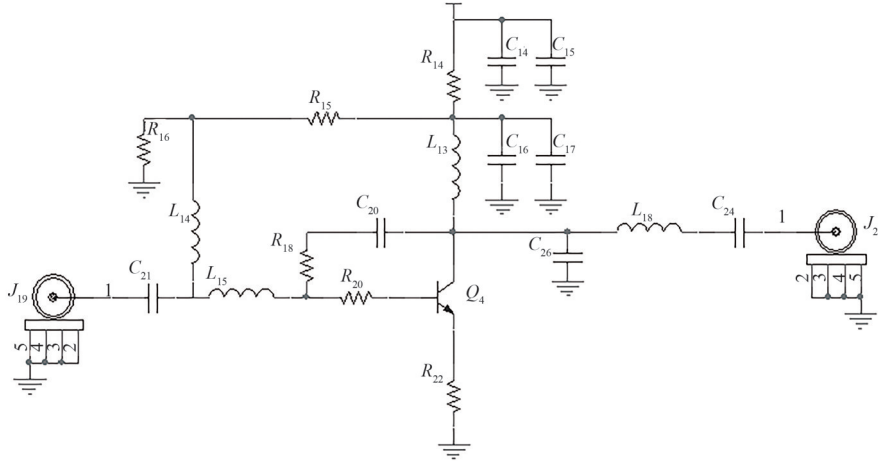


Fig.3 Schematic of low phase noise amplifier  
图3 低相位噪声放大器原理图

### 2.4 梳状谱发生器的匹配

设计使用基于阶跃恢复二极管技术的梳状谱发生器，其性价比高且应用最为广泛。阶跃二极管梳状谱发生器的工作原理参见图4：激励源输入—偏置电路—匹配网络—脉冲发生器—梳状谱输出。

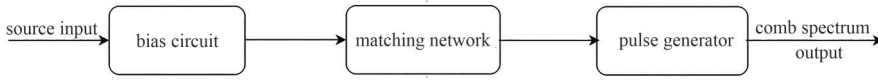


Fig.4 Block diagram of comb generator  
图4 梳状谱发生器原理框图

偏置电路与匹配电路是为了将输入功率更有效地加载到阶跃二极管上，减少信号反射。单频的输入信号经过阶跃二极管后产生窄脉冲信号，在频域上表现为丰富的高次谐波，高达80~100次。在此，级联匹配至关重要，它除了可以保证信号有效地加载在二极管上，更重要的能避免反射失配引起电源电压的剧烈抖动而恶化相位噪声，拾升 $\Delta T_j(2)$ 的值<sup>[11]</sup>。梳状谱发生器电路原理如图5所示， $L_4$ 构成偏置电路， $L_1$ 、 $C_4$ 、 $C_3$ 、 $L_3$ 和 $L_2$ 构成匹配电路。通过ADS仿真设计，迭代优化这些 $L$ 和 $C$ 值的大小与组合，可使得在额定功率(19~20 dBm)激励时输入阻抗接近 $50\ \Omega$ ，反射损耗 $S_{11} < -10\ \text{dB}$ 甚至更低。如图6所示。

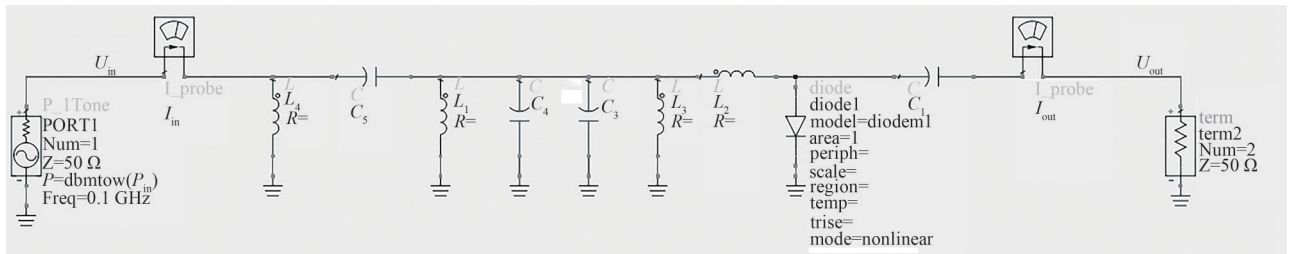


Fig.5 Schematic diagram of comb generator  
图5 梳状谱发生器原理图

### 2.5 锁相环设计分析

锁相技术是一种相位负反馈技术，通过比较输入信号和压控振荡器输出信号的相位，取出与这2个信号的相位差成正比的电压作为误差电压，控制振荡器的频率，达到输出与输入参考频率相等的目的，引入的附加时间抖动用 $\Delta T_j(3)$ 衡量。锁相环通常由4个基本部件组成：鉴相器(Phase Detector, PD)、环路滤波器(Low Pass Filter, LPF)、压控振荡器(Voltage Controlled Oscillator, VCO)和分频器(Divider)，如图7所示。 $\theta_i$ 为输入参考时钟的相位噪声； $\theta_d$ 为分频器的输出等效相位噪声； $\theta_n$ 为VCO的输出等效相位噪声； $U_n$ 为环路滤波器的输出等效电压噪声； $i_n$ 为鉴相器和电荷泵的输出等效电流噪声； $\theta_o$ 为最终的频率综合器输出信号的相位噪声。

电路中所有的噪声经过环路后输出，成为频率合成器输出的相位噪声。概括地，一个锁相环频率合成器输

出的相位噪声为：

$$L_{out}(f) = \begin{cases} L_{ref}(f) - 20 \log \left( 1 + \frac{f_{ref}}{f_{out}} \right), & \text{if } f < f_c \\ L_{vco}(f), & \text{if } f > f_c \end{cases} \quad (3)$$

式中： $L_{ref}(f)$ 、 $L_{vco}(f)$  和  $L_{out}(f)$  分别为参考频率、VCO 以及最终输出频率的单边带相位噪声<sup>[12]</sup>。

由式(3)可知，相对高的鉴相频率 $f_{ref}$ 和低输出频率 $f_{out}$ 能有效降低环路内相位噪声；环路外的相位噪声则取决于 VCO 的性能。

### 2.6 高速数模转换器的设计分析

高速数模转换器可以产生任意波形，应用十分广泛，其附加时间抖动用  $\Delta T_j(4)$  来表示。为使其附加时间抖动尽可能小，设计上选用 BiCMOS(Bipolar-CMOS) 工艺制程的数模转换器并用低噪声电源供电。

### 3 主要技术指标测试

本设计采用 100 MHz 普通恒温晶振，相位噪声标称值为  $-155 \text{ dBc/Hz}@1 \text{ kHz}$ 、 $-170 \text{ dBc/Hz}@100 \text{ kHz}$ ，实测值约为  $-160 \text{ dBc/Hz}@1 \text{ kHz}$ 、 $-175 \text{ dBc/Hz}@100 \text{ kHz}$ ， $[1 \text{ kHz}, 30 \text{ MHz}]$  积分区间时间抖动约 11 fs，频率合成的实物互联如图 8 所示。

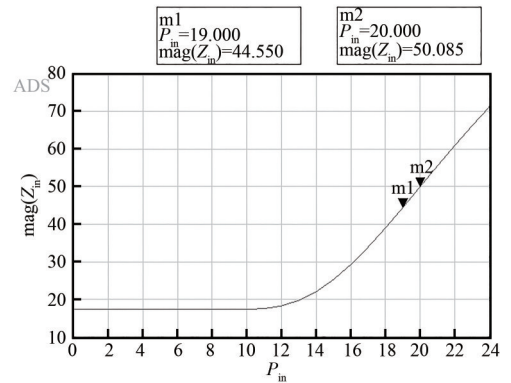


Fig.6 Input power versus impedance for comb generator  
图6 梳状谱发生器输入功率与阻抗

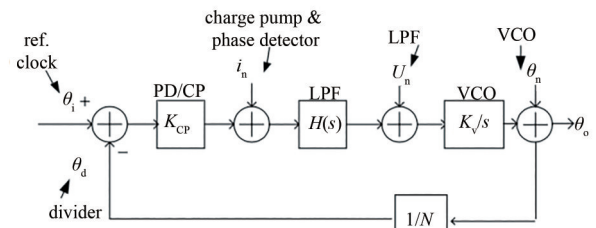


Fig.7 Block diagram and equivalent noise model of PLL  
图7 锁相环框图与等效噪声模型

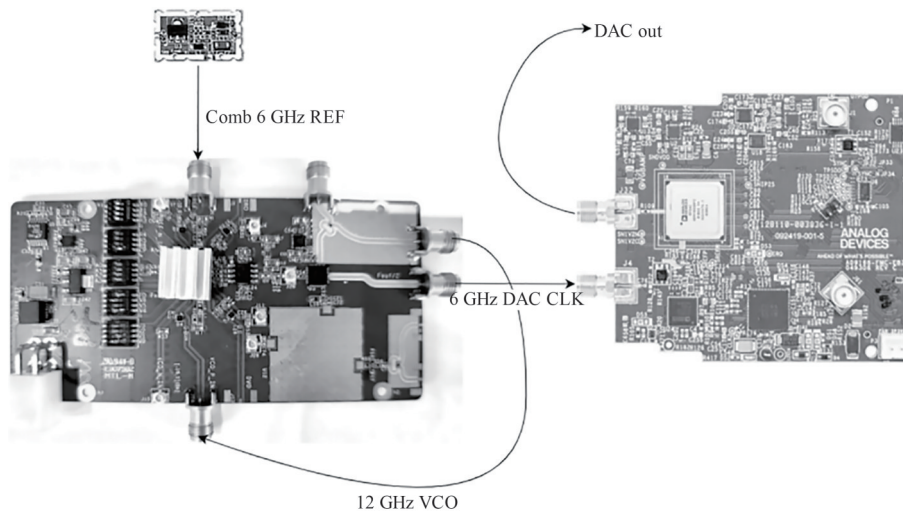


Fig.8 Photograph of frequency synthesis for ultra low additive phase noise  
图8 低附加相位噪声频率合成实物图

首先经过低相噪放大器和梳状谱发生器得到 6 GHz 的谐波，典型相位噪声实测值为  $-123 \text{ dBc/Hz}@1 \text{ kHz}$ 、 $-132 \text{ dBc/Hz}@100 \text{ kHz}$ ， $[100 \text{ Hz}, 10 \text{ MHz}]$  积分区间的时间抖动约 15.22 fs，如图 9 所示，则相对恒温晶振参考源附加时间抖动为  $\sqrt{\Delta T_j(1)^2 + \Delta T_j(2)^2} = 10.52 \text{ fs}$ ，附加相位噪声为 2.82 dB。

然后，用 6 GHz 鉴相频率的锁相环 PFD1K 直接进行锁相，该器件在 2.5 GHz 鉴相频率上的典型残留相噪约  $-147.5 \text{ dBc/Hz}@1 \text{ kHz}$ 。为使输出的相位噪声趋于最低，环路带宽取鉴相频率与 VCO 相位噪声曲线相交处，既保证了环路内噪声没有明显恶化，又使环路外远端的噪声显著降低<sup>[13]</sup>。VCO 的输出有基波与基波的二分频端口，分频后的相位噪声比基波低 6 dB。鉴于频谱仪在高频测试时受本底噪声影响小，测试更为精准，在此选择实测 12 GHz 载波，然后折算出 6 GHz 载波的相位噪声约  $-123 \text{ dBc/Hz}@1 \text{ kHz}$ 、 $-132 \text{ dBc/Hz}@100 \text{ kHz}$ ， $[100 \text{ Hz}, 10 \text{ MHz}]$  积分区间时间抖动减小到 11.24 fs，见图 10。相对恒温晶振参考源的附加相位噪声只有 0.19 dB，明显改

善了环路外的噪声。由式(3)知,鉴相频率每提高1倍,既定载频的相位噪声下降6 dB。测试结果表明,该架构所实现的性能优于ADI公司OCXO+PLL架构下ADF4377芯片18 fs的频率合成性能。

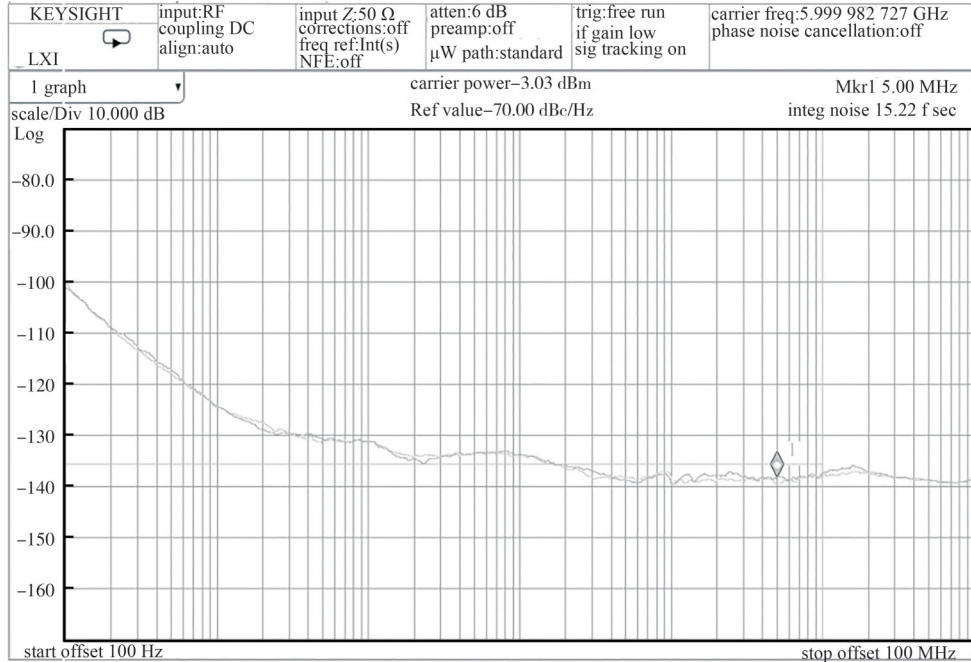


Fig.9 Phase noise and time jitter of comb generator output at 6 GHz carrier  
图9 梳状谱发生器输出6 GHz相位噪声与时间抖动

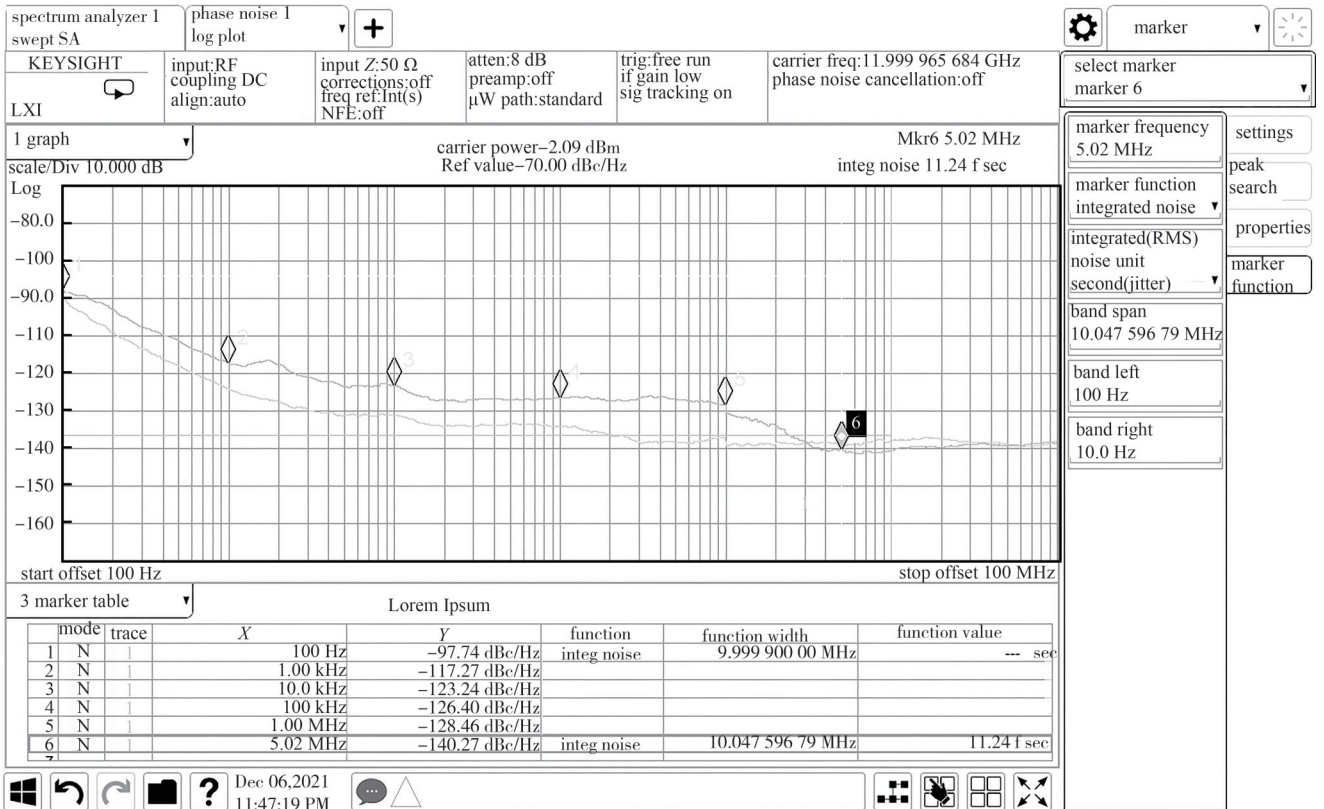


Fig.10 Phase noise and time jitter of PLL output at 12 GHz carrier  
图10 锁相环输出12 GHz相位噪声与时间抖动

最后一级采用6 GHz作为高速数模转换器参考源,考虑到5.8 GHz腔体滤波器的易获得性,经内部数字混频配置输出5.8 GHz的载波,相位噪声实测值为-119 dBc/Hz@1 kHz、-128 dBc/Hz@100 kHz, [1 kHz,30 MHz]积分

区间时间抖动约 13.7 fs，如图 11 所示，即频率合成全链路的附加时间抖动  $\sqrt{\Delta T_j(1)^2 + \Delta T_j(2)^2 + \Delta T_j(3)^2 + \Delta T_j(4)^2} = 8.17$  fs，相对恒温晶振参考源恶化 1.9 dB。

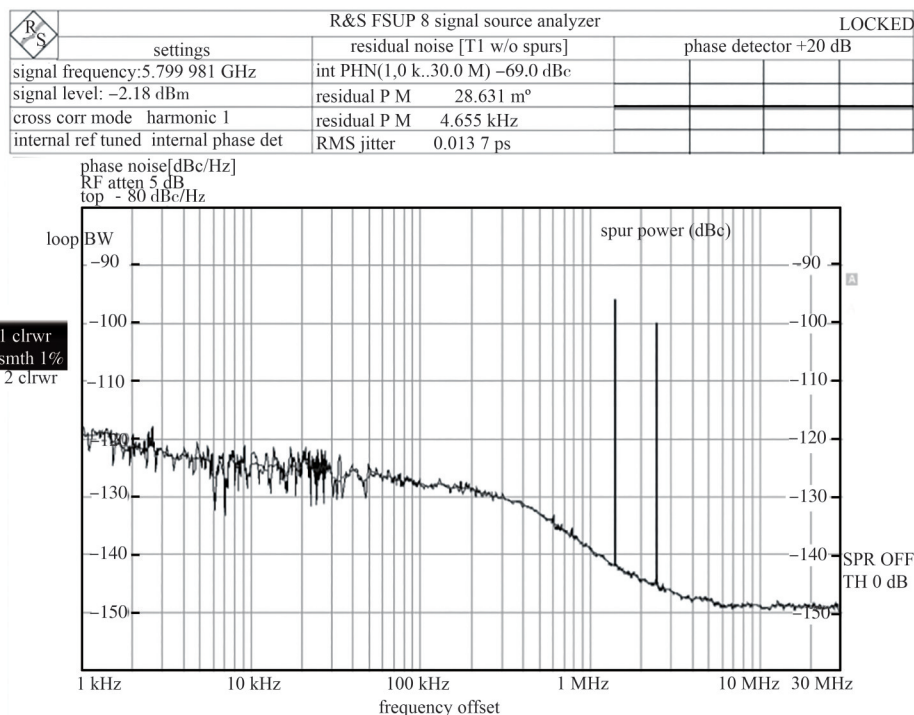


Fig.11 Phase noise and time jitter of high-speed DAC output at 5.8 GHz carrier

图 11 高速 DAC 输出 5.8 GHz 的相位噪声与时间抖动

## 4 结论

针对低相噪频率合成参考源价格高昂、可获得性差的问题，本文分析和论述了相位噪声的主要构成因素，并提出了一种低附加相位噪声频率合成方法。它以普通恒温晶振为设计基础，能在不依赖低相位噪声恒温晶振、低温蓝宝石振荡器或光电振荡器等先进技术条件下，通过合理搭配各关键器件的前后级联，改进放大器的负反馈设计和减小失配，优化梳状谱发生器在额定功率下的阻抗匹配，以及充分应用锁相环高频鉴相和高速数模转换器等多项措施，来降低频率合成链路中的附加相位噪声与信噪比损失，以期输出的时间抖动能趋于参考源本身。测试结果显示，它以 100 MHz 的恒温晶振为参考源，依次经过放大、梳状谱发生器 60 次倍频，然后到 12 GHz 的二分频锁相，最后经高速数模转换器输出 5.8 GHz，总的附加相位噪声约 1.9 dB。因此，测试结果一方面验证了本设计方法的有效性，另一方面表明该方法对当前低附加相噪频率合成、充分挖掘参考源固有性能具有较大的参考价值。

### 参考文献：

- [1] AL-ASHWAL W A, HILTON A, LUITEN A N, et al. Low phase noise frequency synthesis for ultrastable X-band oscillators[J]. IEEE Microwave and Wireless Components Letters, 2017, 27(4): 392-394. doi:10.1109/LMWC.2017.2678400.
- [2] NAND N R, HARTNETT J G, IVANOV E N, et al. Ultra-Stable Very-Low Phase-Noise signal source for very long baseline interferometry using a cryocooled sapphire oscillator[J]. IEEE Transactions on Microwave Theory and Techniques, 2011, 59(11): 2978-2986. doi:10.1109/TMTT.2011.2166976.
- [3] BLUESTONE A, SPENCER D T, SRINIVASAN S, et al. An ultra-low phase-noise 20 GHz PLL utilizing an optoelectronic voltage-controlled oscillator[J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(3): 1046-1052. doi:10.1109/TMTT.2015.2397890.
- [4] 王玉江, 张博, 赵达军, 等. X 波段低相噪宽频带雷达频率综合器设计[J]. 太赫兹科学与电子信息学报, 2022, 20(6): 583-589. (WANG Yujiang, ZHANG Bo, ZHAO Dajun, et al. Design of X broadband and low phase noise radar frequency synthesizer[J]. Journal of Terahertz Science and Electronic Information Technology, 2022, 20(6): 583-589.) doi:10.11805/TKYDA2020392.

- [5] 王新浪. 低相噪基准信号模块设计[J]. 现代导航, 2022,13(1):75-78. (WANG Xinlang. Design of low phase noise reference signal generation module[J]. Modern Navigation, 2022,13(1):75-78.) doi:10.3969/j.issn.1674-7976.2022.01.017.
- [6] 谢走甜,王志伟,李岸舟,等. 一种新型低杂散低相噪直接合成频率源[J]. 雷达科学与技术, 2021,19(3):328-331,336. (XIE Zoutian,WANG Zhiwei,LI Anzhou,et al. A novel direct synthesis frequency source with low spurious and low phase noise[J]. Radar Science and Technology, 2021,19(3):328-331,336.) doi:10.3969/j.issn.1672-2337.2021.03.014.
- [7] 宋雪莹,崔永俊,张祥,等. 基于DDS+PLL的低相噪频率合成器设计[J]. 电子器件, 2019,42(4):947-952. (SONG Xueying,CUI Yongjun,ZHANG Xiang,et al. Design of low phase noise frequency synthesizer based on DDS+PLL[J]. Chinese Journal of Electron Devices, 2019,42(4):947-952.) doi:10.3969/j.issn.1005-9490.2019.04.026.
- [8] 赵超颖,孙泽月,陈林. 梳状谱电路的设计与实现[J]. 电子世界, 2019(13):117-119. (ZHAO Chaoying,SUN Zeyue,CHEN Lin. Design and implementation of comb spectrum circuits[J]. Electronics World, 2019(13):117-119.) doi:10.19353/j.cnki.dzsj.2019.13.060.
- [9] BAHMANIAN M,SCHEYTT J C. A 2~20 GHz ultralow phase noise signal source using a microwave oscillator locked to a mode-locked laser[J]. IEEE Transactions on Microwave Theory and Techniques, 2021,69(3):1635-1645. doi:10.1109/TMTT.2020.3047647.
- [10] 焦智斐. 基于梳状谱倍频的低相噪跳频源设计与研究[D]. 西安:西安电子科技大学, 2020. (JIAO Zhifei. Design and research of low phase noise frequency hopping source based on comb spectrum frequency multiplication[D]. Xi'an, China: Xidian University, 2020.) doi:10.27389/d.cnki.gxadu.2020.003278.
- [11] 陈燕,杨超越,张波. 基于谐波发生加混频的频率源电路设计[J]. 空间电子技术, 2015,12(6):22-26. (CHEN Yan,YANG Chaoyue,ZHANG Bo. A methodology of local oscillator circuit realization based on the combination of harmonic oscillating and mix-inside-loop[J]. Space Electronic Technology, 2015,12(6):22-26.) doi:10.3969/j.issn.1674-7135.2015.06.005.
- [12] DUONG T V,HONG W,TRAN V H,et al. An alternative technique to minimize the phase noise of X-band oscillators using improved group delay SIW filters[J]. IEEE Microwave and Wireless Components Letters, 2017,27(2):153-155. doi:10.1109/LMWC.2017.2648120.
- [13] 周敏,周道宙,傅黎黎,等. 低相噪点频源的设计与验证[J]. 制导与引信, 2017,38(3):49-52. (ZHOU Min,ZHOU Xiaozhou,FU Lili,et al. Design and verification of low phase noise point frequency source[J]. Guidance & Fuze, 2017,38(3):49-52.) doi:10.3969/j.issn.1671-0576.2017.03.011.

#### 作者简介:

邹海明(1983-),男,硕士,高级工程师,主要研究方向为微波毫米波频率合成与收发组件等.email:zouhaiming@microcreative.org.

高伟(1987-),男,博士,高级工程师,主要研究方向为合成孔径雷达信号以及激光数字全息信号处理等.

刘文冬(1986-),男,博士,高级工程师,主要研究方向为微波器件以及天线.

罗俊(1986-),男,博士,高级工程师,主要研究方向为60 GHz CMOS射频收发视频传输.

王晶阳(1990-),男,博士,高级工程师,主要研究方向为雷达传感感知技术、雷达成像技术等.