

文章编号: 1672-2892(2010)02-0235-05

## 一种数字存储示波器显示电路的设计与应用

李劲松, 王子斌

(电子科技大学 自动化工程学院, 四川 成都 611731)

**摘要:** 为了满足高性能数字存储示波器波形显示的稳定性, 介绍了以双口 RAM IDT-70T3539M 和 EP1C4F324C8 为主要器件搭建的数字存储示波器显示控制电路方案, 详细讨论了 FPGA 内部各功能模块和液晶显示相关驱动程序的编写。与原显示方案相比, 此方案更能满足示波器波形显示的各项性能指标要求。该显示方案实现了波形更新率为每秒 2 000 波形, 支持分辨率为  $640 \times 480$  和 18 bit 色的 TFTLCD, 并可实现多种显示方式。

**关键词:** 数字存储示波器; 显示电路; BF561 芯片; LCD 显示屏; 双口 RAM

**中图分类号:** TN78; TM935.37

**文献标识码:** A

## Design and application of special display circuit in a Digital Storage Oscilloscope

LI Jing-song, WANG Zi-bin

(School of Automation, UESTC, Chengdu Sichuan 611731, China)

**Abstract:** In order to meet the stability requirement of the waveform display of high-performance digital storage oscilloscope, this paper describes a display control circuit scheme of the Digital Storage Oscilloscope(DSO) which is built by the dual-port RAM IDT-70T3539M and EP1C4F324C8 as the main components, and discusses in detail the all functional modules within the FPGA and the preparation of the LCD-related driver. Comparing with the former display plan, this plan can meet better the performance requirements of the waveform display of the oscilloscope. The plan can achieve the update rate of waveform for the 2 000 waveforms/s, supporting a resolution of  $640 \times 480$  and 18 bit color TFTLCD, and can achieve a variety of display.

**Key words:** Digital Storage Oscilloscope; display circuit; BF561; LCD; Dual-Port RAM

本文讨论的数字存储示波器(DSO)主要性能有: 2 GHz 的采样率; 1 GHz 的带宽; 2 000 次/s 的波形捕获率。对 DSO 而言, 显示效果的好坏是衡量其性能优劣的一个非常重要的指标。本示波器要求显示能满足: 波形的更新速率为 2 000 波形/s; 显示屏刷新率为 60 次/s; 支持  $640 \times 480$  分辨率, 18 位色的 TFT LCD 显示屏; 实现分页显示, 并实现多种显示方式<sup>[1-2]</sup>。本文介绍的 DSO 是以 ADI 公司的 DSP 芯片 BF561 作为核心处理器, 该处理器提供 2 个可直接与并行 A/D 和 D/A 转换器、符合 ITU-601/656 标准的视频编码和解码器以及其他通用外设连接的并行接口 PPI(Parallel Peripheral Interface)<sup>[2]</sup>。基于 PPI 对视频信号良好的支持, 在原方案中, 采用一个 PPI 口来接收采集来的数据, 另一个 PPI 口用来驱动 LCD 显示屏<sup>[3]</sup>。在该显示方案中, 当接收数据的 PPI 口速度提高到 20 M 以上时, 处理器数据总线上的负载就会很大, 因为数据都需要利用 DMA(Direct Memory Access)方式通过系统的数据总线从 SDRAM(Synchronous Dynamic Random Access Memory)中获得, 这就造成系统总线太忙<sup>[4]</sup>, LCD 扫描式接口的数据跟不上, 信号不能同步, 使得屏幕上的画面不稳定, DSO 的显示界面出现左右移动的现象, 为了解决这个问题, 介绍了另一种显示控制电路方案。

### 1 硬件结构

为了能够满足 DSO 显示的性能要求, 本文提出了如下的设计方案。硬件总体结构如图 1 所示。

本显示模块主要采用双口 RAM 和 FPGA<sup>[5-6]</sup>。在该电路中使用外部的 FPGA 来实现屏的显示刷新功能, BF561 只是向 FPGA 发送命令, 实现对显示模块的控制, 显示屏的刷新完全由 FPGA 完成。FPGA 的功能相当于显卡, 负责从显示缓存中读取数据, 并将数据发送到 LCD。

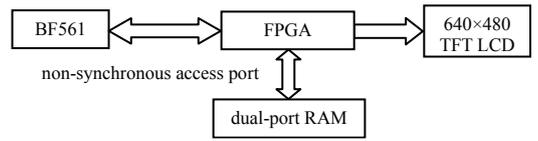


Fig.1 System block diagram  
图 1 系统结构框图

## 2 FPGA 内部功能模块的设计与实现

本控制电路主要包括: 控制模块、非同步访问模块、数据处理模块、清屏模块、双口 RAM 访问模块、显示刷新模块, 其内部结构如图 2 所示, 下面将分别介绍各功能模块。

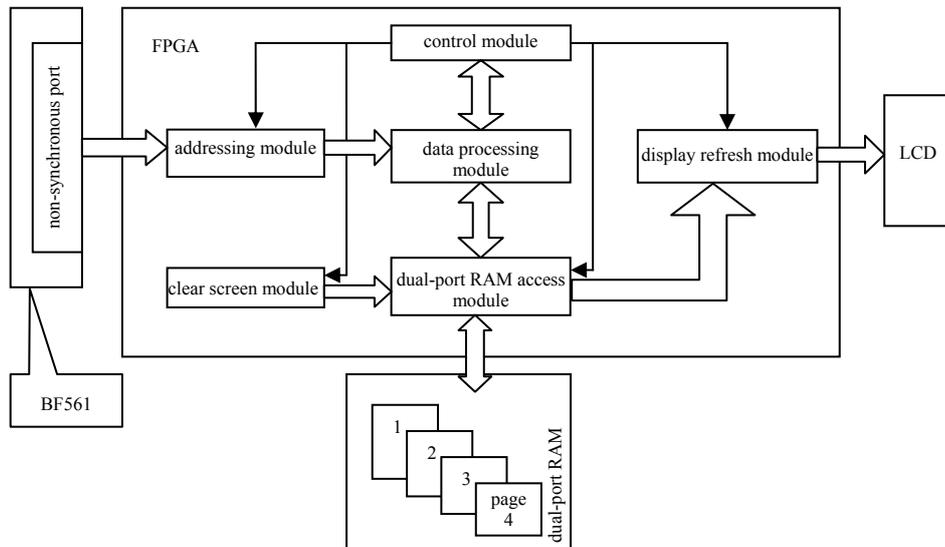


Fig.2 Internal structure of FPGA  
图 2 FPGA 内部结构框图

### 2.1 控制模块

BF561 通过非同步端口可以对 FPGA 的控制模块进行访问, 通过改变寄存器值达到对 FPGA 内部各功能模块的控制。

### 2.2 非同步端口寻址模块

此模块给 FPGA 内的寄存器和外部双口 RAM 分配相应的地址空间。在此显示电路中, BF561 的 20 根地址线与 FPGA 相连, 高位地址线作为寄存器与双口 RAM 的选择使能线。

### 2.3 数据处理模块

该模块主要负责对波形数据的处理, 包括波形在实时、滚动、内插、余辉方式下的显示。本模块将以波形在余辉方式下为例进行介绍, 图 3 为波形在无限余辉方式下波形数据处理状态机转换图。在该方式下, 首先 BF561 把一屏的原始波形数据通过 I/O 口传给 FPGA 内的缓冲区, 当传输完后, 启动该数据处理模块, 使其进入 RBuf 状态, 读出一组原始波形数据后, 进入 RramF 状态, 再进入 RramS 状态, 在此两状态下读出 RAM 中的数据, 然后分别进入 WramS 和 WramF 状态, 向 RAM 写两次数据, 因为一个波形数据在 LCD 上用两个像素点显示。由于一屏波形有 600 个点, 所以要循环 600 次。

### 2.4 双口 RAM 访问模块

该模块主要功能为对双口 RAM 进行读和写, 由于 DSO 要不断地更新波形数据, BF561 要通过 FPGA 不断地向显示缓存写入新的数据, LCD 以 60 次/s 进行刷新,

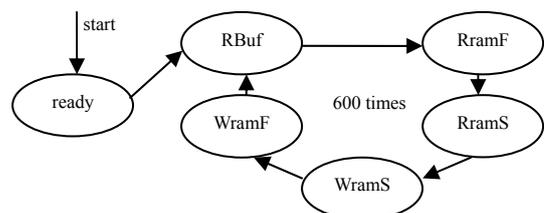


Fig.3 State transition diagram of the data procession machine  
图 3 数据处理状态机转换图

FPGA 要不断循环地从显示缓冲区读取数据，读出的数据按照 LCD 的时序要求传送给显示屏。

## 2.5 清屏模块

清屏即为 LCD 显示颜色值为 0 的颜色，双口 RAM 对应页面的缓存空间写 0，要实现此功能有下面两种方法。

1) 与其它显示数据一样，BF561 通过非同步访问端口直接向双口 RAM 对应的页面写 0，此方案的速度相对比较慢。

2) BF561 向控制模块发送一个清屏命令，开始硬件清屏，即 FPGA 直接向双口 RAM 对应的页面写 0，此方案速度较快。两种方法的结构如图 4。

第一种方法清一个页面需要的时间与 BF561 的异步访问端口速度有关，此方法所需时间较长，满足不了 DSO 显示要求。第二种方法硬件清屏相对较快，清一个页面所需时间大概为 12.3 ms。所以在显示模块中将采用硬件清屏。

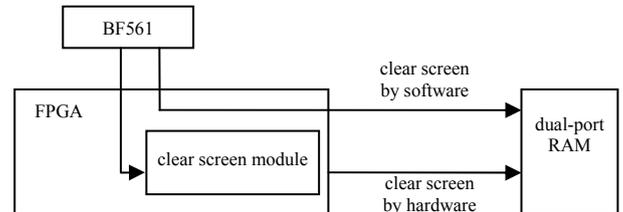


Fig.4 Clear screen map  
图 4 清屏示意图

## 2.6 显示刷新模块

示波器采用了  $640 \times 480$  像素的 TFT 显示屏，每个像素的显示数据为 8 bit。该显示屏需要 4 种信号线。其中，DCLK 为位时钟信号，DATA 为数据信号，HD 为水平同步信号，VD 为垂直同步信号，DENA 为数据使能信号<sup>[7]</sup>。

在本设计中分别用状态机产生周期为  $31.7 \mu\text{s}$  的 HD 信号和周期为 16.7 ms 的 VD 信号，然后再根据得到的 HD 和 VD 信号产生 DENA 信号。得到的仿真结果如图 5，此仿真是在 QUARTUS II 8.0 上完成的。

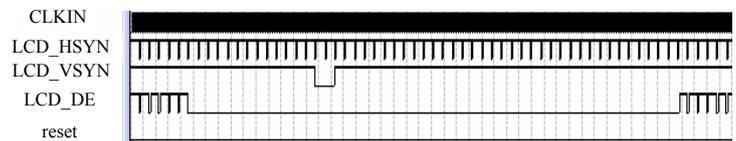


Fig.5 Timing of simulation  
图 5 仿真时序图

## 3 显示驱动程序设计

显示驱动完成的主要功能有：硬件复位和初始化、页面选择、画点、清屏<sup>[8]</sup>。本显示驱动程序的调试平台为 VDSP++4.5。

参照 BF561 的地址划分空间，数据写入起始地址为：0x2800,0000，此地址对应双口 RAM 的起始地址 0。寄存器起始地址为：0x2840,0000。

函数要用到的指针变量定义如下：

```
unsigned char *pFrameStart=(unsigned char *)0x28000000; //帧起始地址
unsigned char *pPageSelect=(unsigned char *)0x28400004; //页面选择寄存器地址
unsigned char *reset=(unsigned char *)0x28400008; //硬件复位寄存器地址
unsigned char *pClearscreen=(unsigned char *)0x2840000c; //清屏寄存器的地址
unsigned char *pClearFinish=(unsigned char *)0x28400020; //清屏完成标志寄存器地址
```

具体函数如下：

```
void LCD_Init(void)
{
    *clearscreen=0x00; //寄存器初始化
    *reset=0;
    *reset=1;
    *reset=0; //产生复位信号
}
```

此函数功能为：对寄存器进行初始化和产生硬件复位信号。

```
void PageSelect(unsigned char PageNo)
{
    *pPageSelect=PageNo;
}
```

此函数功能为：页面选择。DSO 分为 4 个页面进行显示，所以，要在某个页面显示相应的内容或清除某个页面时，首先要选择此页面，然后才能在对应页面的显示缓冲区写入数据。

```
void DrawPoint(COLOUR color, int px, int py)
```

```
{
    *(pFrameStart+4*(py*FRAME_COL_NUM + px)) = color; //在 LCD 屏上的点与之对应的显示缓存里写入要显示的颜色值
}
```

双口 RAM 地址加一，对应 561 的地址加 4，因 BF561 的 A1,A0 未用，所以在上面函数中要乘以 4。

此函数功能为：在 LCD 屏上任意处画点。LCD 以点阵为基本单元，以此函数为基本画图单元，DSO 的所有波形和图形都能显示。

```
void ClearScreen(void)
```

```
{
    *pClearscreen=0x00;
    *pClearscreen=0x01;
    *pClearscreen=0x00;           //产生一个脉冲
    while(*pClearFinish==1);
    *pClearscreen=0x10;           //开始清屏
    while(*pClearFinish==0);     //等待清屏结束
    *pClearscreen=0x00;
}
```

此函数功能为：清除整个页面的内容，此函数不能同时清除所有页面的内容，与页面显示一样，在清除某个页面时，先要选择此页面。

#### 4 实现结果

DSO 的显示界面如图 6，图 6(a)为用 PPI 驱动方式提高另一个 PPI 口的速度到 25 M 时的显示画面，DSO 的显示界面明显出现了左右移动的现象；图 6(b)为在新显示电路下，在提高 PPI 速度的情况下 DSO 的显示界面，经过长时间测试，在该显示方案下，DSO 显示稳定，达到预期目的。

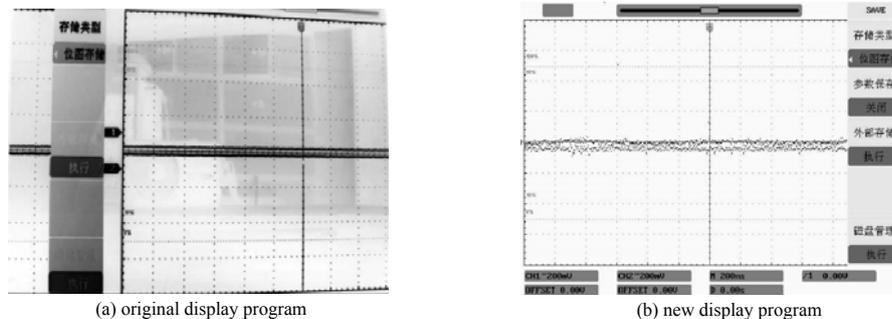


Fig.6 Menu display of DSO  
图 6 DSO 的菜单显示

#### 5 结论

本文讨论的 DSO 显示控制电路用外部 FPGA 进行显示刷新，未用 BF561 的 PPI 接口驱动 LCD，BF561 只是用非同步访问端口向 FPGA 发送命令和数据。这种独立的显示刷新，使得 DSO 具有更加稳定的显示，很好地解决了示波器在提高读取采样数据速率时屏幕显示左右移动的问题，同时也减轻了处理器 BF561 的负担，提高了波形更新速率。

#### 参考文献：

- [1] 吕志勇. 波形重建电路设计与参数估计算法研究[D]. 成都:电子科技大学, 2008.
- [2] Analog Device, Inc. ADSP-BF561 Blackfin Processor Hardware Reference[DB/OL]. [2008-11-20]. [http://www.analog.com/static/imported-files/processor\\_manuals/53117564946598bf561\\_hwr\\_for\\_11\\_ECN.pdf](http://www.analog.com/static/imported-files/processor_manuals/53117564946598bf561_hwr_for_11_ECN.pdf).

- [ 3 ] Analog Device, Inc. Using the ADSP-BF561 Blackfin Processor as a TFT-LCD Controller[DB/OL]. [2008-11-20]. [http://www.analog.com/static/imported-files/application\\_notes/ee256Rev2March706.pdf](http://www.analog.com/static/imported-files/application_notes/ee256Rev2March706.pdf).
- [ 4 ] 陈桂,田学隆,陈南西. ARM 嵌入式平台的 VGA 接口设计[J]. 单片机与嵌入式系统应用, 2007(4):25-28.
- [ 5 ] 张震,李淑秋. Arm 嵌入式系统中双口 RAM 的驱动开发及应用[J]. 微计算机信息, 2007,23(03z):134-136.
- [ 6 ] 聂雄. 基于 Verilog HDL 的 LED 显示屏扫描控制模块的实现[J]. 现代显示, 2007(75):54-57.
- [ 7 ] Technical Specification AA084VC03 8. 4-inch TFT-LCD Module For Industrial Applications[DB/OL]. [2008-08-12]. <http://www.arm123.net/pdf/aa084vc03.pdf>.
- [ 8 ] 孙习波. 嵌入式系统双口 RAM 应用及驱动开发[J]. 计算机工程与设计, 2005,26(8):2257-2259.

#### 作者简介：



李劲松(1983-), 男, 四川省平昌县人, 在读硕士研究生, 主要研究方向为测控技术与仪器. email:lijingsongl@163.com.

王子斌(1970-), 男, 成都市人, 硕士, 副教授, 主要研究方向为通用测试技术与仪器设计.

(上接第 226 页)

- [ 2 ] Texas Instruments. OMAP-L137 Low-Power Applications Processor system Reference Guide[Z]. 2008.
- [ 3 ] 刘育田,胥海纶. 基于小波变换模极大值的电能质量奇异性检测[J]. 信息与电子工程, 2009,7(2):123-126.
- [ 4 ] 国家技术监督局. GB/T12325-90 电能质量供电电压允许偏差[S]. 1993.
- [ 5 ] 林海雪. 电力系统的三相不平衡[M]. 北京:中国电力出版社, 1998.
- [ 6 ] Bishop M T, Do A V, Mendis S R. Voltage Flicker Measurement and Analysis System[J]. IEEE Computer Application in power, 1994,7(2):34-38.
- [ 7 ] 张学玲,唐毅. 数字信号的加窗处理[J]. 计算机应用, 2000,S1:67-68.

#### 作者简介：



任 雷(1983-), 男, 辽宁省鞍山市人, 在读硕士研究生, 主要研究方向为电子通信与自动化. email:renlei\_0203@sina.com.

林 岩(1955-), 男, 北京市人, 教授, 博士生导师, 主要研究方向为鲁棒控制、自适应控制理论及应用.

唐晓博(1981-), 男, 哈尔滨市人, 在读硕士研究生, 主要研究方向为电力系统及自动化.