

文章编号: 2095-4980(2015)02-0198-05

0.34 THz 高速无线通信发射机芯片设计

邓小东^{1,2}, 李一虎², 李健康^{1,2}, 吴文¹, 熊永忠²

(1.南京理工大学 近程高速目标探测国防重点实验室, 江苏 南京 210094;
2.中国工程物理研究院 微系统与太赫兹研究中心 半导体器件研究室, 四川 成都 611731)

摘要: 基于 0.13 μm SiGe BiCMOS 工艺, 设计了一个应用于 0.34 THz 高速通信系统的 4 路集成相控阵发射机芯片。该芯片集成了 21.25 GHz 的锁相环(PLL)频率源、4 倍频器、4 路威尔金森(Wilkinson)功分网络, 每一路相控阵通道包括 85 GHz 功率放大器、模拟移相器、20 Gbps 二进制启闭键控(OOK)调制器、4 倍频器以及 2×2 片载天线阵列。针对系统各个模块进行了测试和分析, 并且对系统方向图进行了仿真。仿真结果表明, 该相控阵系统能在 E 面实现 $\pm 12^\circ$ 的角度扫描, 3 dB 波束宽度为 11.9° , 系统有效等向辐射功率(EIRP)为 12 dBm。该集成相控阵发射机芯片的面积为 $8 \text{ mm} \times 4.3 \text{ mm}$ 。

关键词: 相控阵; 硅基; 太赫兹; 发射机; 片载天线

中图分类号: TN859

文献标识码: A

doi: 10.11805/TKYDA201502.0198

A 340 GHz fully integrated transmitter for high-speed wireless communications

DENG Xiaodong^{1,2}, LI Yihu², LI Jiankang^{1,2}, WU Wen¹, XIONG Yongzhong²

(1. Ministerial Key Laboratory of JGMT, Nanjing University of Science and Technology, Nanjing Jiangsu 210094, China; 2. Semiconductor Device Research Laboratory, Microsystem and Terahertz Research Center, China Academy of Engineering Physics, Chengdu Sichuan 611731, China)

Abstract: A 340 GHz 4-way fully integrated phased array transmitter using 0.13 μm SiGe Bipolar Complementary Metal Oxide Semiconductor(BiCMOS) technology is presented. The chip integrates a 21.25 GHz Phase-Locked Loop(PLL) synthesizer source, a quadrupler together with a 1:4 Wilkinson network, power amplifiers, analog phase shifters, 20 Gbps OOK modulators, and a 2×2 on-chip antenna array in each channel. The phased array transmitter are measured and analyzed. The phase array beam scanning capability, 3 dB lobe width, and system Effective Isotropic Radiated Power(EIRP) of $\pm 12^\circ, 10^\circ$ and 12 dBm in E -plane are obtained, respectively. The chip size of the fully integrated phased array transmitter is $8 \text{ mm} \times 4.3 \text{ mm}$.

Key words: phased arrays; silicon substrates; terahertz; transmitters; on-chip antennas

太赫兹(0.1 THz~10 THz)相控阵是超高速无线通信系统中的热点研究对象^[1]。尤其是当频率超过 300 GHz, 在载波频率附近能实现超大带宽, 这将大大提高通信系统的速率^[1-6]。近年来, 互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)和 SiGe BiCMOS 集成电路(Integrated Circuit, IC)工艺由于其高成品率和低成本等性能已经展示出巨大的潜力, 研究人员倾向于采用硅基工艺设计单片微波集成电路(Monolithic Microwave Integrated Circuit, MMIC)。目前国际上已经出现一些毫米波、太赫兹频段集成相控阵的相关报道^[2-9]。文献[7]采用一种 0.13 μm SiGe BiCMOS 工艺设计出了 W 波段的相控阵发射机芯片, 并使用片载天线避免金丝键合等封装技术带来的复杂的分布效应问题。在文献[4]中, 作者使用 CMOS 工艺设计了一种工作在 0.28 THz 的功率发生器, 并实现了波束扫描的功能。Yahya Tousi 和 Ehsan Afshari 等人采用 60 nm CMOS 工艺设计出了 338 GHz 的太赫兹相控阵系统^[6]。然而, 国内外关于太赫兹频段相控阵系统的文献报道数量依旧十分有限。本文围绕 0.34 THz 高速通信系统的实际应用, 采用硅基工艺设计出了相控阵发射机系统芯片。

1 系统结构

本文设计的太赫兹相控阵发射机系统芯片结构框图见图 1。中心频率为 21.25 GHz 的锁相环(PLL)频率综

合器经过 4 倍频器 85 GHz 频率源, 通过 Wilkinson 功分网络产生 4 路信号。4 路 85 GHz 信号分别经过功率放大器放大, 然后与模拟移相器相连, 再通过调制器和 4 倍频器产生 0.34 THz 调制信号。模拟移相器的可调范围大于 90°, 以便能经过 4 倍频器之后在 0.34 THz 频率处产生 360°的移相范围。为了避免金丝键合等封装方法带来的分布效应, 0.34 THz 调制信号直接通过片载天线向空间辐射。

2 电路设计

该 4 路相控阵发射机芯片采用 0.13 μm SiGe BiCMOS 工艺, 该工艺提供 7 层金属层, 其中具有 2 层厚金属层。同时该工艺中提供 2 种异质结双极晶体管(Heterojunction Bipolar Transistor, HBT), 分别为: 高速低击穿电压管(250 GHz f_T /1.7 V BV_{CEO}); 低速高击穿电压管(45 GHz f_T /3.5 V BV_{CEO})。

PLL 频率综合器的原理框图见图 2, 包括 21.25 GHz 压控振荡器(Voltage Controlled Oscillator, VCO)、1/256 分频器、鉴频鉴相器(Phase Frequency Detector, PFD)、电荷泵(Charge Pump, CP)以及低通滤波器(Low Pass Filter, LPF)。

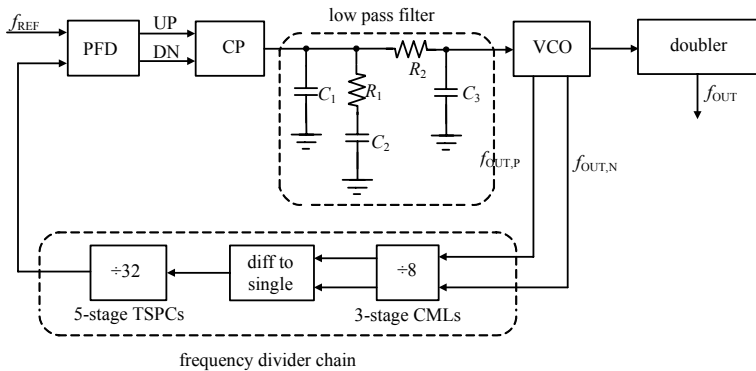


Fig.2 Schematic of the frequency synthesizer
图 2 PLL 频率综合器原理框图

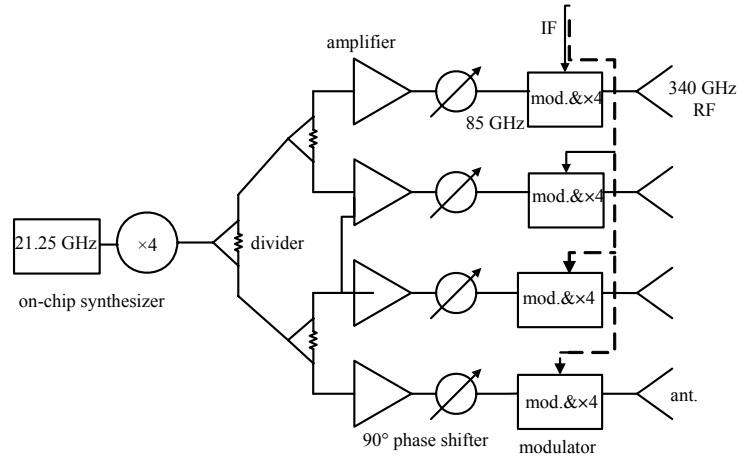


Fig.1 Architecture of the integrated terahertz phased array transmitter
图 1 太赫兹集成相控阵发射机原理框图

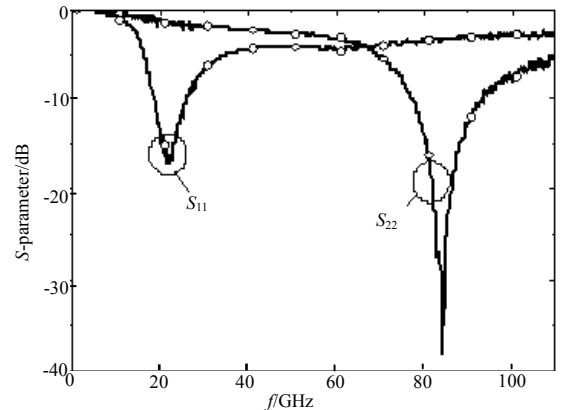


Fig.3 S-parameters of the W-band quadrupler
图 3 W 波段 4 倍频器的 S 参数

该频综芯片的面积为 0.4 mm², 功耗为 60 mW。当输入参考信号频率范围为 80.3 MHz~83.7 MHz 时, 频率综合器的输出频率范围为 20.56 GHz~21.43 GHz, 输出功率范围为-17.5 dBm~-16.6 dBm。根据该频率综合器的输出频谱和相位噪声的测试结果, 输出探针和信号线的损耗为 2.5 dB, 当 PLL 锁定在 21.25 GHz 后, 频谱仪的 span 设置为 10 MHz, 离中心频率 100 kHz/1 MHz/10 MHz 的相位噪声分别为-76 dBc/Hz,-93 dBc/Hz,-115.3 dBc/Hz。

本文所设计的 4 倍频器包括 5 部分: 驱动放大级、共基极 2 倍频器、缓冲放大级、共基极 2 倍频器以及中功率放大输出级。图 3 为 4 倍频的输入输出 S 参数测试结果。从图中可知, 在输入频率 19 GHz~25 GHz 带宽内, 输入反射系数小于-10 dB; 在输出频率 76 GHz~93 GHz 带宽内, 输出反射系数小于-10 dB。整体芯片面积为 0.98 mm², 在输入为-18 dBm 时, 具有最大变频增益 15.8 dB; 在输入功率为-16 dBm 时, 具有最大的电源效率 2.1%。在输入-10 dBm 时, 具有最大的输出功率-0.4 dBm; 此时对应的电源效率为 1.9%, 变频增益为 9.6 dB。在输入-15 dBm 时, 具有-0.7 dBm 的输出功率; 此时对应的电源效率约为 2.1%, 变频增益为 14.3 dB。

85 GHz 功率放大器(Power Amplifier, PA)采用 3 级放大结构, 第 1 级和第 2 级放大单元主要工作在线性放大区, 实现驱动末级放大单元的作用。末级功率放大单元工作在 AB 类放大区, 实现功率放大。图 4 为功率放大器的 S 参数测试曲线。从测试结果可知, 在工作频率 75 GHz~95 GHz 带宽内, 小信号增益为: 22.9 dB~26.8 dB, 输入回波损耗小于-17 dB, 输出回波损耗小于-9.7 dB。图 5 为输入为-10 dBm 时, 输出功率和功率附加效率(Power Added Efficiency, PAE)随输入频率变化的曲线。从图中可知, 在工作频率 75 GHz~95 GHz 带宽内, 输出功率为

15.8 dBm~17.2 dBm, 功率附加效率(PAE)为 14%~18.5%。

为了减小相控阵系统各通道的幅度不平衡对系统性能的影响, 本文设计了 1 种幅度变化平坦的反射式移相器。移相器单元包括 1 个 90° 分支线耦合器和 1 个单独的反射负载, 负载的可调范围决定移相器的移相范围。为了减小芯片面积, 在分支线耦合器中引入集总元件来缩小尺寸。可调反射负载采用 LC 串联谐振器, 从而减小了移相器的幅度变化。通过 2 级级联的方式, 移相器在 80 GHz~90 GHz 带宽范围内得到了 90° 以上的移相范围, 如图 6 所示。测试结果表明, 在 80 GHz~90 GHz 之间移相器的插入损耗变化范围小于 $10.6 \text{ dB} \pm 0.2 \text{ dB}$, 保证了 10 GHz 的带宽。

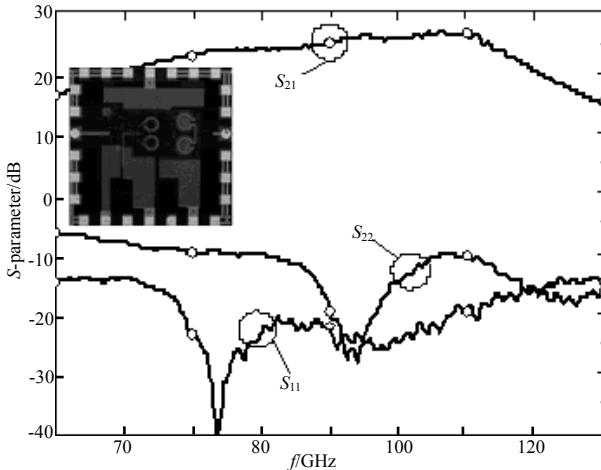


Fig.4 S-parameters of the W-band amplifier
图 4 W 波段功放的 S 参数

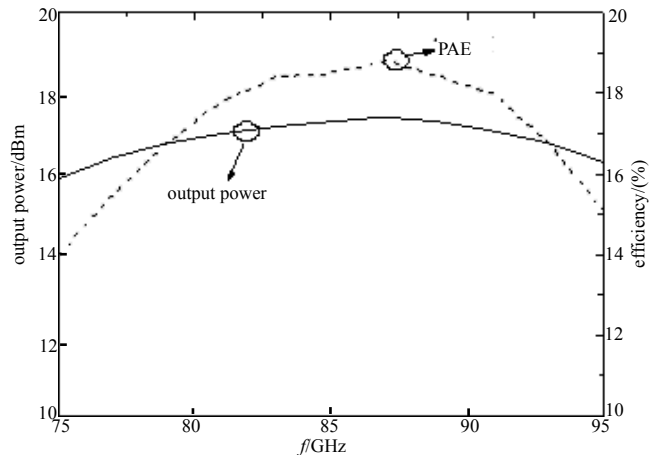


Fig.5 Output power and power added efficiency of the W-band amplifier
图 5 W 波段功放输出功率和 PAE

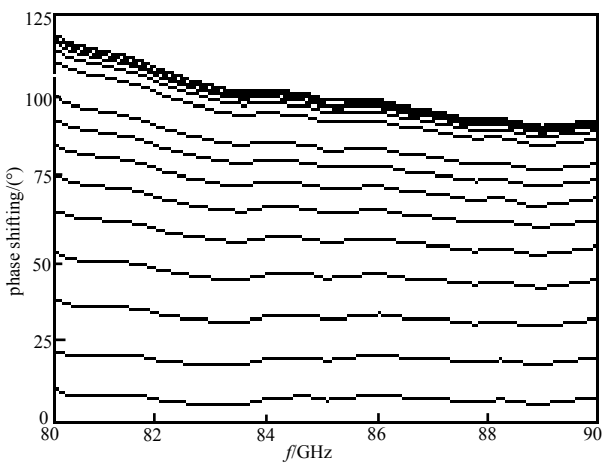


Fig.6 Measured tuning range of the proposed phase shifter
图 6 移相器范围测试结果

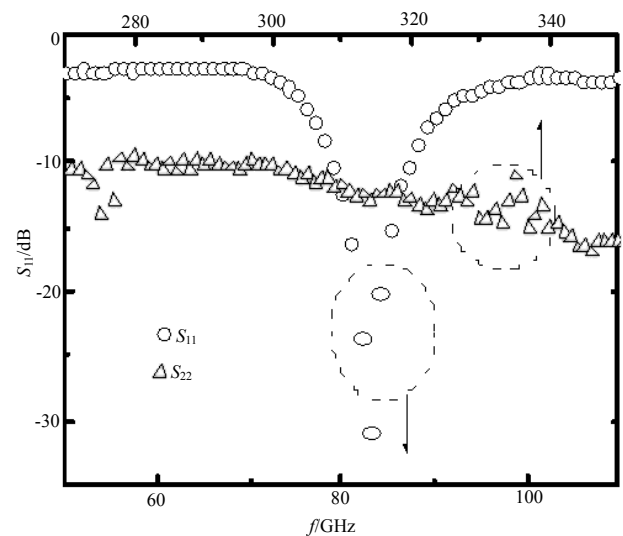


Fig.7 Measured input/output return losses of the modulator
图 7 调制器输入/输出回波损耗测试结果

为了得到更好的开关效应, 调制倍频器模块是通过在低频段(85 GHz)进行调制, 然后再通过 2 级 2 倍频得到 0.34 THz 的调制信号。调制倍频模块输入信号为 85 GHz, 通过巴伦馈入吉尔伯特单元完成调制功能, 输出调制信号通过巴伦形成差分模式输入到 push-push 结构的倍频器得到 0.17 THz 调制信号。该调制信号通过第 2 级巴伦, 经过堆栈式 push-push 结构的倍频器得到最终的 0.34 THz 调制输出信号, 模块功耗 42.5 mW。当输入信号频率为 85 GHz 时, 单路调制器的饱和输出功率为 -6 dBm 。通过图 7 可知, 该调制倍频模块拥有良好的输入/输出回波损耗。当 IF 信号速率为 20 Gbps, 调制倍频输出时域仿真波形展示出良好的调制深度, 如图 8 所示。

本文设计了 0.34 THz 基片集成波导(Substrate Integrated Waveguide, SIW)背腔式片载天线, 该天线的辐射口径采用矩形贴片, 馈电端采用共面波导(Coplanar Waveguide, CPW)形式。在辐射贴片背面集成了一个厚度为 $10 \mu\text{m}$ 的 SIW 背腔以避免能量被低阻硅衬底所吸收。仿真结果表明, 天线的增益和效率分别为 3.7 dB 和 48%, E 面 3 dB 波瓣宽度为 86° 。本文所设计的 4 路相控阵发射机每一路分别集成了 2×2 天线阵列, 天线的面积为 $0.8 \text{ mm} \times 0.8 \text{ mm}$ 。

天线阵的仿真和测试结果表明,该天线在中心频率 0.34 THz 附近带宽大于 25 GHz,峰值增益为 7.7 dB, E 面 3 dB 波瓣宽度为 46° , 如图 9 所示。

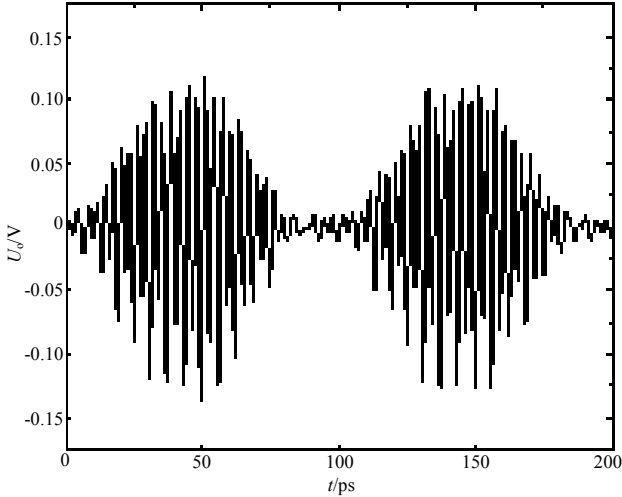


Fig.8 Simulated output voltage of the proposed modulator
图 8 调制器输出电压仿真结果

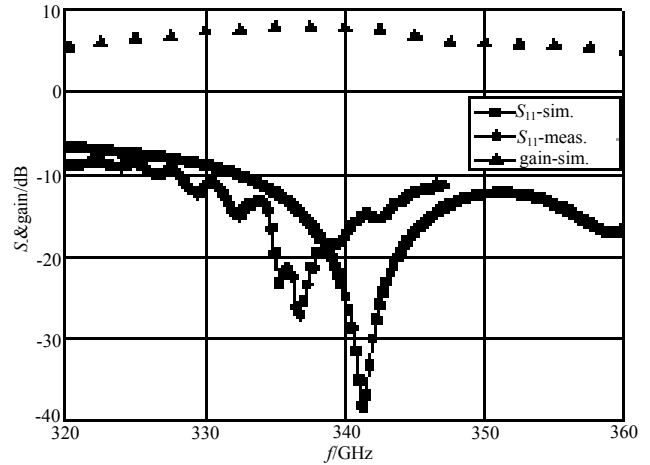


Fig.9 Return loss and gain of the proposed 2×2 antenna array
图 9 2×2 天线阵列回波损耗和增益测试结果

3 系统性能

以上介绍了 0.34 THz 集成相控阵发射机系统各模块的设计方法及测试结果。通过仿真结果(见图 10)可知,在相邻通道相位差分别为 $90^\circ, 0^\circ, -90^\circ$ 的情况下分别得到 $12^\circ, 0^\circ, -12^\circ$ 的 E 面波束扫描角度,天线增益大于 12 dB, 3 dB 波束宽度为 11.9° , 系统有效等效辐射功率(EIRP)为 12 dBm。0.34 THz 集成相控阵发射机系统的俯视图照片如图 11 所示,芯片尺寸为 $8 \text{ mm} \times 4.3 \text{ mm}$ 。

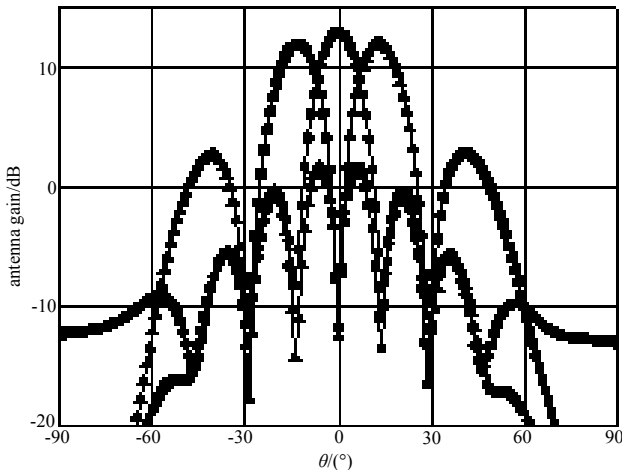


Fig.10 Patterns in E -plane of the 4-way fully integrated phased array transmitter
图 10 4 路集成相控阵发射机 E 面方向图

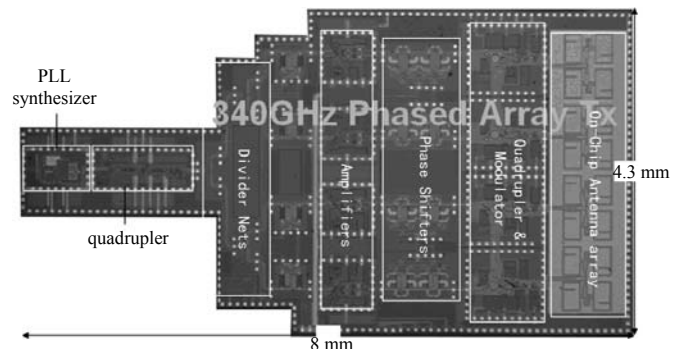


Fig.11 Micrograph of the 4-way fully integrated phased array transmitter with on chip antennas on top of the RFIC
图 11 片载天线加载 4 路集成相控阵发射机俯视图

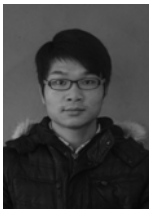
4 结论

本文基于 $0.13 \mu\text{m}$ SiGe BiCMOS 工艺,设计了一个应用于 0.34 THz 高速通信系统的 4 路集成相控阵发射机芯片。该芯片集成了 21.25 GHz 频率源、4 倍频器、Wilkinson 功分网络、85 GHz 功率放大器、移相器、调制器倍频器以及片载天线。本文对系统各个模块进行了测试和分析,并且对系统方向图进行了仿真,仿真结果表明该相控阵系统能在 E 面实现 $\pm 12^\circ$ 的角度扫描, 3 dB 波束宽度为 11.9° , 系统有效等效辐射功率(EIRP)为 12 dBm。该集成相控阵发射机芯片的面积为 $8 \text{ mm} \times 4.3 \text{ mm}$ 。

参考文献:

- [1] Bassam Khamaisi, Samuel Jameson, Eran Socher. A 210–227 GHz transmitter with integrated on-chip antenna in 90 nm MOS technology[J]. IEEE Trans. on THz Sci. Technol., 2013,3(2):141–150.
- [2] Sengupta K. Sub-THz beam-forming using near-field coupling of Distributed Active Radiator arrays[C]// IEEE Radio Frequency Integrated Circuits Symp.. Baltimore Maryland:IEEE, 2011.
- [3] Kaushik Sengupta, Ali Hajimiri. A 0.28 THz power-generation and beam-steering array in CMOS based on distributed active radiators[J]. IEEE Journal of Solid-State Circuits, 2012,47(12):3013–3031.
- [4] Kaushik Sengupta, Ali Hajimiri. A 0.28 THz 4×4 power-generation and beam-steering array[C]// ISSCC Dig. Tech. Papers. San Francisco:IEEE, 2012:256–257.
- [5] Sengupta K, Hajimiri A. Distributed active radiation for THz signal generation[C]// ISSCC Dig. Tech. Papers. San Francisco:IEEE, 2011:288–289.
- [6] Yahya Tousi, Ehsan Afshari. A scalable THz 2D phased array with +17 dBm of EIRP at 338 GHz in 65 nm bulk CMOS[C]// ISSCC Dig. Tech. Papers. San Francisco:IEEE, 2014:258–259.
- [7] HU S, XIONG Y Z, ZHANG B, et al. A SiGe BiCMOS transmitter/receiver chipset with On-Chip SIW antennas for terahertz applications[J]. IEEE Journal of Solid-State Circuits, 2012,47(11):2654–2664.
- [8] HU S, WANG L, XIONG Y Z, et al. A 434 GHz SiGe BiCMOS transmitter with an on-chip SIW slot antenna[C]// ASSCC Dig. Tech. Papers. Jeju, Korea:IEEE, 2011:269–272.
- [9] Woorim Shin, Ozgur Inac, Yu Chin Ou, et al. A 108–114 GHz 4×4 wafer-scale phased array transmitter with high-efficiency on-chip antennas[J]. IEEE Journal of Solid-State Circuits, 2013,48(9):2041–2055.

作者简介:



邓小东(1987–), 男, 重庆市开县人, 在读博士研究生, 主要研究方向为毫米波太赫兹集成电路与系统. email: ysyn_dxd@sina.com.

李一虎(1986–), 男, 辽宁省阜新市人, 博士, 主要研究方向为毫米波太赫兹集成电路与系统.

吴文(1968–), 男, 江苏省扬州市人, 教授, 博士生导师, 主要研究方向为微波毫米波理论与技术、微波毫米波探测技术、多模复合探测技术.

李健康(1985–), 安徽省萧县人, 博士, 主要研究方向为硅基毫米波集成电路、微波混合集成T/R组件.

熊永忠(1963–), 男, 湖北省仙桃市人, 教授, 博士生导师, 主要研究方向为微波毫米波、太赫兹集成电路.

(上接第188页)

- [23] Carter R G, LIU Shunkang. Method for calculating the properties of coupled-cavity slow-wave structures from their dimensions[J]. IEE Proceedings H Microwaves, Antennas and Propagation, 1986,133(5):330–334.

作者简介:



颜胜美(1979–), 男, 湖南省娄底市人, 在读博士研究生, 主要研究方向为大功率太赫兹真空电子器件研究. email: yanshengmei@caep.cn.

苏伟(1964–), 男, 四川省遂宁市人, 博士, 研究员, 主要从事引信技术方面的研究工作.

徐翱(1982–), 男, 武汉市人, 副研究员, 主要研究方向为毫米波及太赫兹真空电子学器件技术.

王亚军(1984–), 男, 四川省绵阳市人, 硕士, 助理研究员, 主要从事太赫兹微型电真空器件研究.

向伟(1967–), 男, 重庆市人, 博士, 研究员, 主要从事电真空器件研究.

陈樟(1982–), 男, 四川省开江县人, 博士, 助理研究员, 主要从事太赫兹微纳电子学器件研究.

金大志(1970–), 男, 四川省遂宁市人, 研究员, 主要从事特种电真空器件的研究.