

文章编号: 2095-4980(2024)02-0114-08

基于 RFSoc 的脉冲雷达采集与测量系统设计与实现

孟翔麒¹, 汪兴海^{*2}, 薛伟^{*1}, 陈小龙²

(1. 哈尔滨工程大学 烟台研究院, 山东 烟台 265500; 2. 海军航空大学 航空作战勤务学院, 山东 烟台 264001)

摘要: 探讨射频系统级芯片(RFSoc)在脉冲雷达系统设计中的应用, 设计实现一个具有高性能数模混合信号处理能力的雷达测距系统。采用 IW-RFSoc-49DR 高性能 RFSoc 开发板(包括背景干扰滤除算法的设计), 测试环境设置在空间狭窄、多金属设备干扰的实验室内。实验结果显示, 在未经处理的复杂室内环境中, 实验数据受到显著干扰; 实现背景干扰滤除算法后, 频谱图的显示分辨能力得到显著提升。随着测试目标距离由 3 m 提高至 12 m, 测距误差值从 53 cm 降低至 5 cm。RFSoc 技术在脉冲雷达系统设计中展现出显著优势, 实现了高集成度低功耗设计, 为后续基于 RFSoc 设计便携式雷达打下了基础。

关键词: 射频系统级芯片; 线性调频信号; 数据采集; 参数估计

中图分类号: TN957

文献标志码: A

doi: 10.11805/TKYDA2024027

Design and implementation of a pulse radar acquisition and measurement system based on RFSoc

MENG Xiangqi¹, WANG Xinghai^{*2}, XUE Wei^{*1}, CHEN Xiaolong²

(1. Yantai Research Institute, Harbin Engineering University, Yantai Shandong 265500, China;

2. College of Aviation Combat Service, Naval Aeronautical University, Yantai Shandong 264001, China)

Abstract: To investigate the application of RF system level chip—Radio Frequency System—on—Chip (RFSoc) in pulse radar system, a radar ranging system with high performance digital—analog hybrid signal processing capability is designed. The high—performance RFSoc development board—IW—RFSoc—49DR(including the design of the background interference filtering algorithm) is adopted, and the test environment is set in a laboratory with narrow space and disturbed multimetallic equipments. The results of the experiments show that the experimental data are significantly disturbed in an untreated, complex indoor environment; after implementing the background interference filtering algorithm, the display resolution of the frequency spectrum map has been significantly improved. As the test target distance increases from 3 m to 12 m, the ranging error decreases from 53 cm to 5 cm. RFSoc technology shows significant advantages in the design of pulsed radar system, realizing the high integration and low power consumption design, and laying a foundation for the subsequent design of portable radar based on RFSoc.

Keywords: Radio Frequency System—on—Chip; linear frequency modulation signal; data acquisition; parameter estimation

脉冲雷达系统凭借其卓越的距离分辨能力和测量精准度, 在军事与民用领域均展现出重要的应用价值^[1]。伴随射频集成电路(Radio Frequency Integrated Circuit, RFIC)技术的进步, 射频系统级芯片(RFSoc)应运而生, 成为脉冲雷达信号处理领域的革新方案^[2]。RFSoc 技术融合了先进的模拟数字转换器(Analog-to-Digital Converter/Digital-to-Analog Converter, ADC/DAC)以及数字信号处理单元(Digital Signal Processor, DSP), 亦代表了可编程门阵列(Field-Programmable Gate Array, FPGA)技术领域的创新设计, 并在数据处理速度及效率方面实现了显著提升^[3]。多通道数字阵列雷达的优点在于能够提供高分辨力的目标信息, 具备快速的数据处理能力, 并能有效提

收稿日期: 2024-01-17; 修回日期: 2024-01-22

基金项目: 国家自然科学基金资助项目(62222120; 61931021); 山东省自然科学基金资助项目(ZR2021YQ43)

*通信作者: 汪兴海 email:marshallplan@126.com; 薛伟 email:xuewei@hrbeu.edu.cn

高雷达系统的抗干扰性和灵活性。RFSoc 开发平台将多通道模数转换器(ADC)和数模转换器(DAC)集成于单一芯片之中，并内嵌多核 ARM(Advanced RISC Machines)处理器、图形处理单元(Graphics Processing Unit, GPU)、第 4 代双倍数据率同步动态随机存取存储器(Double Data Rate Fourth Generation SDRAM, DDR4)内存等高性能计算资源，极大推进了信号处理技术的发展^[4]。该平台高度集成化的特点使低延迟与高吞吐率的信号处理得以在同一芯片上实现，为构建便携式、多通道数字阵列雷达系统提供了切实可行的技术途径。文献[5]探索了如何利用 RFSoc 平台的中央处理器(Central Processing Unit, CPU)实施局部振荡器(Local Oscillator, LO)的扫频控制、功率电平的计算以及数据通信，进一步验证了 RFSoc 在硬件简化、功能灵活性与低功耗等方面的独特优势。文献[6]研究了一种大带宽、多通道的通用信号处理机硬件结构设计，实现了一种遵循 3U VPX 标准的微型化和模块化硬件平台。通过测试和应用实例证明了其降低系统设计复杂性的能力，并展示了系统的规范化、通用化以及易于扩展使用的特点^[7]。但到目前为止，对雷达系统便携式设计仍存在不足，RFSoc 开发板的开发工作仍是对雷达系统某个特定的功能进行实现，没有发挥出 RFSoc 开发板高集成度性能实现整体雷达系统。

本文基于 RFSoc 设计脉冲雷达采集与测量系统，主要包括：脉冲雷达信号的产生与采集，用于实现测距功能；设计出一种可实时更新的背景干扰矩阵，提升目标在频谱图中的清晰度，为后续设计基于 RFSoc 的便携式多通道数字阵列雷达打下基础。

1 基于 RFSoc 的脉冲雷达采集与测量系统总体架构

系统设计采用的 RFSoc 开发板为 IW-RFSoc-49DR 高性能的数模混合信号处理卡，该平台集成了 Xilinx 的 ZYNQ UltraScale+RFSoc ZU49DR 芯片，内置 16 个 ADC/DAC、Cortex®-A53 64 位四核处理器和 Cortex-R5 双核实时处理器。其中 ADC 位宽 14 位，采样率 2.5 GSPS；DAC 位宽 14 位，采样率 9.85 GSPS。图 1 为板卡实物图。

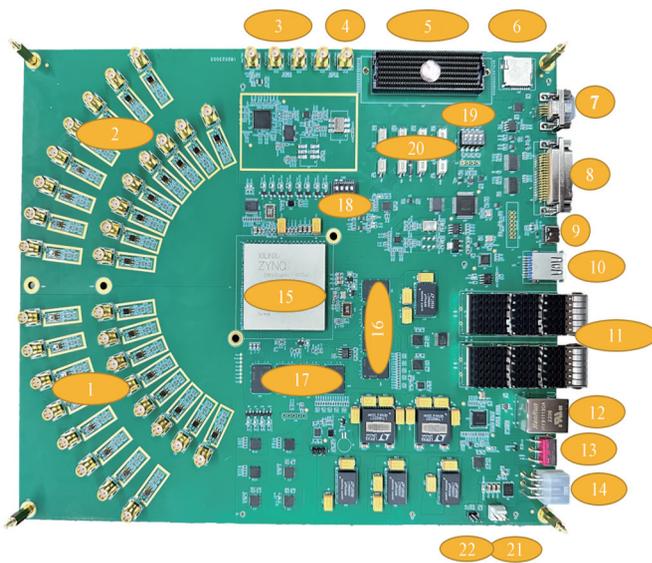


Fig.1 Picture of the circuit board
图 1 板卡实物图

表 1 核心元件布局表
Table 1 Layout of core components

number	address	interface
1	XS1-XS16	ADC input
2	XS17-XS32	DAC output
3	XS33-XS36	external reference clock (directly for ZU49DR use) input
4	XS37	external synchronous clock (directly for ZU49DR use) input
5	J28	FMC + expansion port
6	CN1	SD card slot
7	J3	PL terminal CAN and UART interface (J30J-9TJW-J)
8	J2	I/O expansion interface (J30J-37ZKW-J)
9	J4	USB-JTAG debug port
10	J18	USB3.0 interface
11	U20、U68	100 G optical port 1, 100 G optical port 2
12	T1	gigabit ethernet port
13	SW15	power switch
14	J50	power input
15	U1	RFSoc main chip
16	U37、U40、U41、U44	PS DDR4
17	U51、U52、U54、U66	PL DDR4
18	SW12	I/O selection
19	SW2	startup mode selection
20	SW1~9	external buttons
21	J57	DC-12 V power backup port
22	J5	DC-3.3 V power backup port

此外，该开发板支持灵活夹层卡(Flexible Mezzanine Card plus, FMC+)高速通信扩展，内置 SD 卡槽(Secure Digital Memory Card)，并提供外围逻辑(Peripheral Logic, PL)端控制器局域网(Controller Area Network, CAN)与通用异步收发器(Universal Asynchronous Receiver/Transmitter, UART)通信接口、多种 I/O 扩展接口、USB-JTAG 调试口与 USB 3.0 高速接口。设备还包括双 100 G 光纤通信端口和单个千兆网口，具备电源开关、多重电源输入选项以及 DC-12 V 与 DC-3.3 V 电源备用口。核心处理单元为 RFSoc 主芯片，搭载 PS DDR4 与 PL DDR4 内存模块。此外，还设有 I/O 选择开关、启动模式选择开关和多个功能性复位按键，包括逻辑配置、上电复位、系统复位及 PS_MIO(Processing System Multiuse I/O)与 PL_EMIO(Programmable Logic Extended Multiuse I/O)功能按键。表 1 为

板卡实物图对应各器件位置。

在脉冲雷达系统的设计中,主要系统设计可分为3部分。首先是发射模块组。该部分核心任务为波形设计,根据测距需求设定脉冲宽度和重复频率等参数,满足各类场景下的测量需求。其次是接收模块组,对接收信号进行预处理,包括滤波、增益控制以及去噪等环节,旨在提高信号的可用性,并为数据解读提供高质量的基础。最后是上位机算法设计。上位机算法除了脉冲压缩等雷达基本算法外,还需针对回波干扰进行滤除^[8]。因此创建背景干扰矩阵,并利用最小二乘法实时更新干扰矩阵,进一步滤除接收数据中的背景干扰回波,提升显示分辨力。图2为脉冲雷达采集与测量系统的总体框图。

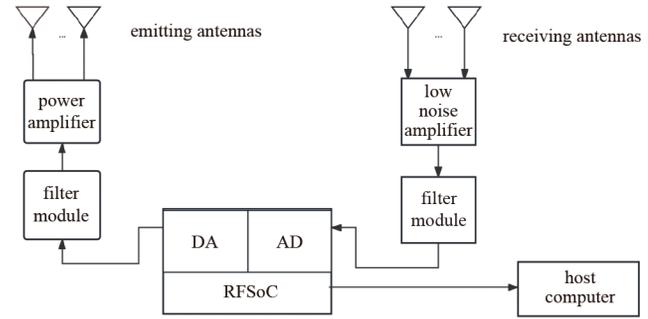


Fig.2 Overall block diagram of pulse radar acquisition and measurement system

图2 脉冲雷达采集与测量系统总体框图

2 基于RFSoc的脉冲雷达采集与测量系统流程设计

2.1 发射模块系统设计

S频段线性调频脉冲信号需要混频器生成,而混频器是一种非线性元件,其工作原理基于2个或多个信号进行非线性混合操作。当混频器输入2个信号时,信号被送入相互耦合的非线性电路中,产生输出信号。中心频率线性调频(Linear Frequency Modulation, LFM)脉冲信号是一种常用的雷达信号波形,脉冲信号的频率会随时间线性变化。中心频率线性调频脉冲信号模型可表示为:

$$s(t) = Ae^{j(2\pi f_c t + \pi \alpha t^2)} \quad (1)$$

式中: A 为信号的幅度; f_c 为载频,即信号的中心频率; t 为时间变量,通常考虑在脉冲宽度 T_p 的时间范围内; α 为调频斜率,定义为频率变化量除以时间变化量。

基带信号为0~400 MHz线性调频信号,本振(LO)频率设为 $f_{LO} = 2.8$ GHz,混频信号为 $F_{LO}(t)$,与DAC输出混频后可以达到3 GHz的中心频率。混频后的信号模型可表示为:

$$u(t) = s(t)e^{-j2\pi f_{LO} t} = Ae^{j[2\pi(f_c - f_{LO})t + \pi \alpha t^2]} \quad (2)$$

混频后结果为:

$$u(t) = A \left\{ e^{j[2\pi(f_c - f_{LO})t + \pi \alpha t^2]} + e^{j[2\pi(f_c + f_{LO})t + \pi \alpha t^2]} \right\} \quad (3)$$

经过混频器后得到的信号一种分量是以2.6 GHz为中心频率,另一种分量以3 GHz为中心频率,经过带通滤波器以及功率放大器后将2.6 GHz分量的信号滤除,得到发射信号模型:

$$u_{Da}(t) = Ae^{j[2\pi(f_c + f_{LO})t + \pi \alpha t^2]} \quad (4)$$

发射模块系统主要包括信号产生、混频、滤波以及功率放大,图3为发射系统模块化设计示意图。

1) 直接数字合成(Direct Digital Synthesizer, DDS): DAC的速率为9.85 GSPS,可以直接生成所需信号,通过Coe文件存入ROM,配置信号波形查找表,实现波形的输出,产生0~400 MHz的线性调频信号。Coe文件存储波形的数据有1 024个点,要在脉冲宽度为0.415 μ s内将波形数据输出完成,需要的时钟信号大概为2.466 GHz,由时钟控制模块驱动,并通过使能接口控制脉冲输出。

2) 混频器(mixer): 混频器将基带LFM信号转换为3 GHz的中心频率。根据以上分析,LO频率设为2.8 GHz。

3) 滤波器组(filter bank): 混频后的信号需通过带通滤波器,消除混频产生的镜像频率和其他可能的杂散。滤

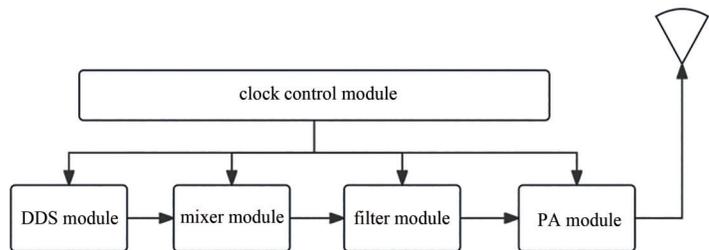


Fig.3 Architecture of transmitting module

图3 发射模块系统设计

波器中心频率为 3 GHz，滤波器带宽至少需覆盖 400 MHz，以允许 2.8~3.2 GHz 的信号通过，因此选择 2.6~3.4 GHz 的带通滤波器实现。

4) 功率放大器(Power Amplifier, PA): 信号需要通过功率放大器确保其有足够的功率驱动天线并传输有效的距离。增益参数为 40 dB，以满足系统要求和覆盖范围。

2.2 接收模块系统设计

与发射端类似，信号通过接收端的带通滤波器和功率放大器，信号的频率不会改变，只有通过混频后信号的频率才会发生改变。下面对接收模块系统中信号频率变化进行分析。

混频器收到的信号与本振信号混合，产生和频与差频项。考虑到器件参数因素，本次设计的中频选择 $f_{IF}=500$ MHz，混频器本振的频率参数可选择 $f_{LO}=2.5$ GHz，经过混频器后的信号频率模型为：

$$F_{\text{mix}} = F(f_0 + f_{LO}) + F(f_0 - f_{LO}) \quad (5)$$

式中 f_0 为接收信号的中心频率 3 GHz。

混频后会得到 500 MHz 以及 5.5 GHz 的频率分量，再经过带通滤波器以及中频放大器，将波形进行处理，会得到以 500 MHz 为中心频率，带宽为 400 MHz 的线性调频信号。

接收模块的作用主要是波形接收以及硬件层次的处理，通过滤波器、低噪声放大器、混频器、中频放大和过滤，最后将数据传输至上位机。接收模块系统主要为滤波、混频、模数转化，图 4 为接收系统模块化设计示意图，加入了多种放大器设备，满足硬件需求。

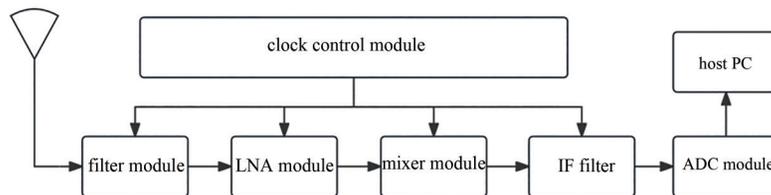


Fig.4 Architecture of receiving module

图4 接收模块系统设计

1) 滤波器组(filter bank): 为防止频率混叠，首先需要设计一个带通滤波器，其通带应该覆盖 2.8~3.2 GHz。因此其参数与发射模块组的滤波器组相同。

2) 低噪声放大器(Low Noise Amplifier, LNA): 接收到的 RF 信号通常非常微弱，需要一个低噪声放大器将信号放大至合适的水平。

3) 混频器(mixer): 设计一个本振，其频率与所需下变频的中频(Intermediate Frequency, IF)差值相匹配^[9]。考虑到 3 GHz 的中心频率，选择 500 MHz 作为中频，则本振频率应该为 2.5 GHz，混频器将 RF 信号与本振信号混合，生成差频信号。

4) 中频放大和过滤：

a) 中频放大器：中频信号可能需要进一步放大以适应 ADC 的输入需求，选择 500 MHz 作为放大器参数。

b) 中频滤波器：设计一个带通滤波器进一步滤除信号处理过程中产生的杂散频率和谐波，根据参数可得出中频滤波器需覆盖的频率为 300~700 MHz。

5) 模数转换器(ADC): 使用的 ADC 采样率为 2.5 GSPS，在 Nyquist 定理下最高能处理的信号频率为 1.25 GHz。而中频频率为 500 MHz，在器件处理能力范围内。

2.3 背景滤除设计

雷达实际应用中存在着许多干扰，需对接收信号进行背景干扰滤除。在没有目标信息的情况下，记录接收信号数据，在此阶段，可以得到背景噪声的数据。使用记录的噪声数据创建一个与接收数据矩阵同等大小的干扰矩阵 D ：

$$D(k, l) = N(k) \quad (6)$$

式中 $D(k, l)$ 为干扰矩阵在频率 k 和时间 l 维度的值。

使用最小均方差(Least Mean Square, LMS)算法更新干扰矩阵 D ，以适应可能的噪声变化：

$$D_{\text{new}}(k, l) = (1 - \alpha)D_{\text{old}}(k, l) + \alpha X(k, l) \quad (7)$$

式中： α 为适应率参数； $X(k, l)$ 为当前帧在频率 k 和时间 l 的信号值。

后续信号处理可以使用干扰矩阵 D 移除每个帧中的背景噪声，并基于实际情况设置合适的阈值区分噪声和实际信号：

$$Y(k, l) = \begin{cases} S'(k, l) = S(k, l) - D(k, l), & \text{if } |S'(k, l)| > \theta \\ 0, & \text{otherwise} \end{cases} \quad (8)$$

式中： $S(k, l)$ 为原始信号； θ 为设定的阈值。

2.4 上位机算法流程

设置多个关键参数，包括每帧内的回波接收个数(16个)、用户数据报协议(User Datagram Protocol, UDP)数据包长度(4 096字节)、调频连续波(Frequency Modulated Continuous Wave, FMCW)帧中的回波长度(256个)以及FMCW有效数据长度(128个)^[10]。通过UDP协议与RFSoc开发板建立连接，在回波信号中先进行背景干扰矩阵的计算，将背景干扰滤除；然后进行脉压处理，提升信号质量的同时，减少发射与接收信号时域上的重叠，在匹配滤波后的数据上使用汉明窗以抑制旁瓣；最后，对处理后的数据沿着满时间采样点维度进行快速傅里叶变换(Fast Fourier Transform, FFT)变换，利用FFT结果绘制距离频谱，并通过适当的视角调整和色条添加，方便观察者理解和解读分析结果。上位机算法流程见图5。

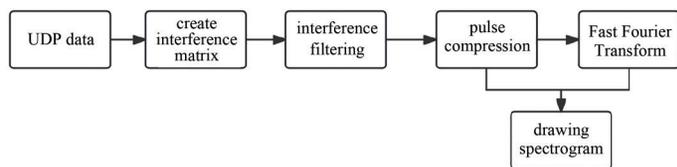


Fig.5 Flowchart of host computer algorithm
图5 上位机算法流程图

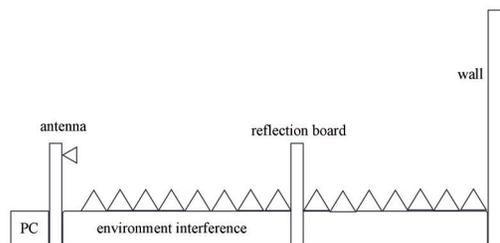


Fig.6 Test schematic
图6 测试原理图

3 系统测试

测试环境设置在一个空间狭窄的实验室中，其中布置了多个金属制科研仪器设备，为雷达系统测试提供了一定的干扰因素，以便更好地模拟实际情况下信号衰减和反射特性。采用定向天线发射信号，在信号发射过程中，将金属反射板置于射频信号范围内。当定向天线发射电磁波信号时，该信号会在遇到金属反射板时发生反射，反射板将信号反射回定向天线的接收模块，实现测距。

天线距离墙面为12.35 m，需采用较高的带宽实现测距，根据距离分辨率公式 $R_{\text{res}} = \frac{c}{2B}$ （其中 c 为电磁波速度， B 为信号带宽400 MHz）可以得出，采用400 MHz带宽，距离分辨率为37.5 cm。

上位机做脉冲压缩，脉冲宽度与雷达的视野盲区相关性并不高，本次实验采用的脉冲宽度较小，为0.415 μs 。

实验采用S频段信号，综合器件本身的参数，以3 GHz作为线性调频脉冲信号的中心频率。通过RFSoc平台，完成线性调频脉冲信号的发射与接收工作，并对接收数据进行处理。通过上位机软件算法绘制图像，显示实验结果，实现传统雷达系统测速测距功能以及加入背景干扰滤除后的测速测距功能，并对两种方式进行比较。图6为本系统设计测试原理图。

3.1 墙面回波测试

实验室环境空间较为狭窄，墙面距离定向天线12.35 m，由于室内环境比较复杂，反射物较多，因此中间有很多来自金属仪器干扰导致的杂波项，图7为测试的实验结果^[11]。

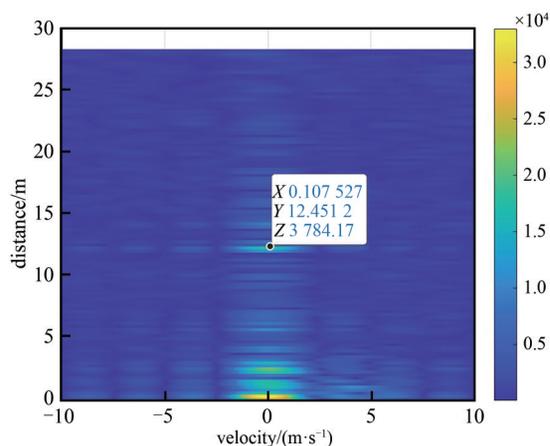


Fig.7 Plot of wall echo test results
图7 墙面回波测试结果

从图 7 可以看出，室内仪器干扰很大，但在纵坐标 12.45 m 处可观察到有一段回波，该回波就是墙面目标反射的回波。从实验结果看，在 12 m 左右的距离对目标进行探测，误差在 10 cm 左右。

3.2 目标测距试验

室内测试时仪器本身会产生干扰，以此模拟真实场景下复杂的测量环境。使用反射板作为测试目标，将反射板置于射频信号的覆盖范围内，并通过移动反射板调整与天线的距离，这样可以直观地在频谱图上观察到目标距离变化的效果^[12]。图 8 为反射板测距实验干扰滤除处理结果对比。

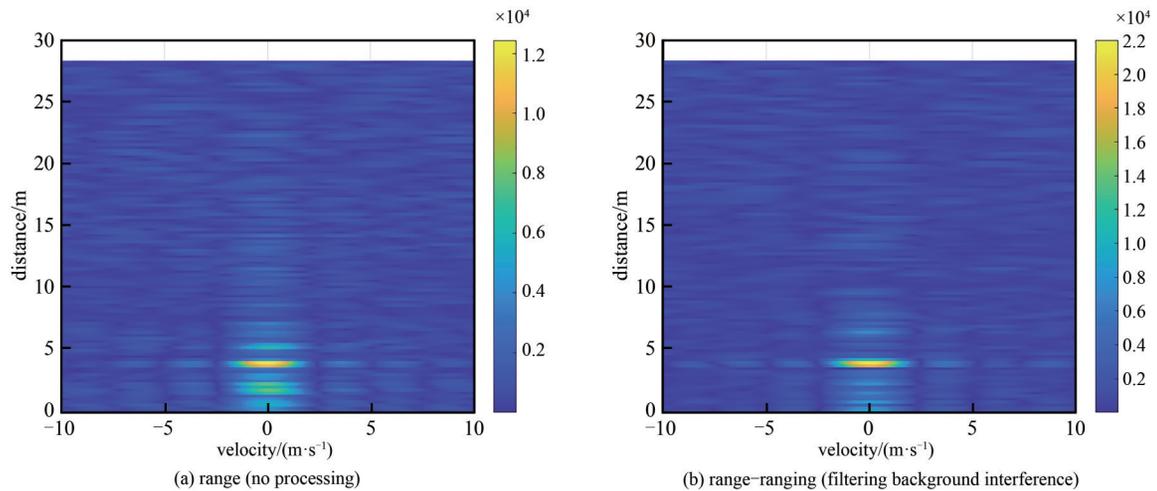


Fig.8 Distance measurement experiment using a reflective plate
图 8 反射板测距实验

此次测试反射板置于距离天线 4.5 m 处，从图 8 可以观察到目标频谱图的回波显示，可以测量出目标的大致距离。但从左图观察到，由于实验室环境复杂，干扰项较多，因此分辨力并不清晰；右图采用了背景滤除方式，将干扰项去除，分辨能力显著提升。

为准确评估近距离目标的测距误差，测试过程中对频谱图上显示的距离读数进行记录，并与反射板的实际距离进行对比，以此确定测距系统的精确度和存在的误差^[13]。通过这种方法，能够直观地评估测距设备在近距离工作时的性能表现。

图 9 为将反射板置于 3.70 m 处的测量频谱图，测量距离显示为 3.17 m，说明近距离测距受到器件本身参数影响，误差很大。

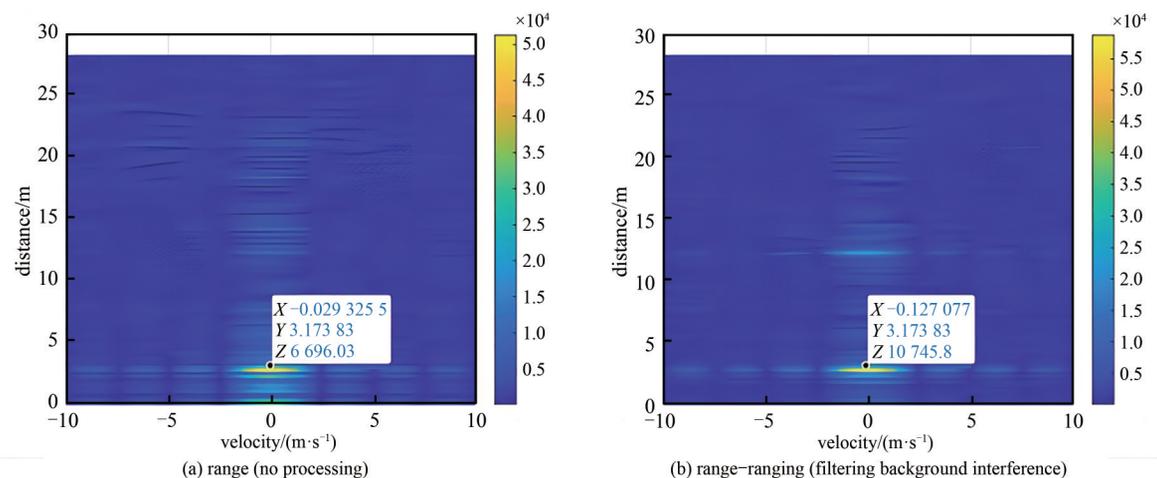


Fig.9 Ranging experiment when locating the reflective plate at 3.70 m from the antenna
图 9 反射板 3.70 m 测距实验

图 10 为将反射板置于 6.25 m 处的测量频谱图，测量距离显示为 6.10 m，这表明随着测试距离的增加，测试误差有所减少。可能的原因是实验环境较为复杂，产生的多径效应所导致，同时器件进行信号传输和运算也需

要一定的时间,产生了计算上的误差^[14]。通过对 3~8 m 范围内的测量数据进行分析 and 整理,可以更清晰地看到测试误差与测试距离之间的关系。

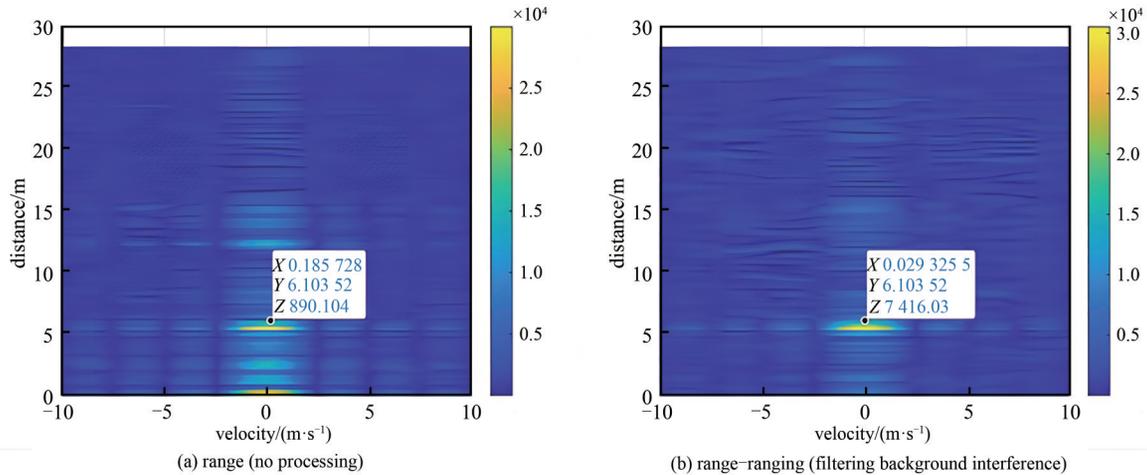


Fig.10 Ranging experiment when locating the reflective plate at 6.25 m from the antenna

图 10 反射板 6.25 m 测距实验

表 2 为测距误差分析,从表 2 中可以观察到,随着实际距离的增加,误差值从第 1 次测试的 53 cm 降至第 8 次测试的 5 cm。误差率的百分比也随着实际距离的增长呈现下降趋势,表明了脉冲雷达系统在更长的距离上测量精确度更高。尽管绝对误差值在某些情况下有所增减,但总体趋势显示误差率随距离增加而减小,说明了随着测试距离的增加,该系统的相对精确度提高。

4 结论

本文采用 IW-RFSoc-49DR 高性能 RFSoc 开发板,设计出脉冲雷达采集与测量系统。测试环境设置在一个空间狭窄、多金属设备干扰的实验室内,以模拟真实的信号衰减和反射特性。通过使用定向天线和金属反射板,模拟了雷达信号的发射、反射和接收过程^[15]。采用 400 MHz 的带宽,37.5 cm 的距离分辨力;采用 S 频段信号,中心频率设置在 3 GHz,利用 RFSoc 平台进行信号的发射与接收,并通过上位机软件算法处理数据,实现了测距的功能。测试结果表明,在没有进行处理的情况下,由于室内环境的复杂性,实验数据受到了较大的干扰。然而应用背景干扰滤除算法后,频谱图显示分辨能力显著提高,可以更清楚地看到目标距离的变化。同时,在近距离目标测距试验中,将反射板置于不同的距离,记录了频谱图上显示的距离,并与实际距离进行对比,以确定系统的精确度和存在的误差。实验发现,实际距离由 3.7 m 提升至 8.35 m,误差值也由 53 cm 降低至 5 cm,随着实际距离的增加,测量误差逐渐减少。通过本次设计,对脉冲雷达信号产生与采集电路设计以及脉冲压缩处理的相关技术有了更深入的理解,为进一步深入研究并且扩展至多通道信号处理雷达系统奠定了基础。

参考文献:

- [1] ERGESH T, LI Jian, DUAN Xuefeng, et al. Development of pulsar digital backend based on RFSoc[J]. Research in Astronomy and Astrophysics, 2022, 22(2): 025002. doi:10.1088/1674-4527/ac3ad9.
- [2] 庞博. 基于 RFSoc 芯片的多路射频信号记录回放系统设计与应用[J]. 电视技术, 2022, 46(9): 201-204. (PANG Bo. Design and application of multi-channel RF signal recording and playback system based on RFSoc chip[J]. Video Engineering, 2022, 46(9): 201-204.) doi:10.16280/j.videoe.2022.09.055.
- [3] 李星辰, 赵斐然, 孟庆辉, 等. 面向 FPGA 便捷部署的智能模型预测控制[J]. 控制理论与应用, 2023, 40(9): 1519-1528. (LI Xingchen, ZHAO Feiran, MENG Qinghui, et al. Intelligent model predictive control with efficient FPGA implementation[J]. Control Theory & Applications, 2023, 40(9): 1519-1528.) doi:10.7641/CTA.2022.20336.

表 2 测距误差分析

Table 2 Error analysis of distance measurement

number	test distance/m	real distance/m	error value/cm	error rate/%
1	3.17	3.70	53	14.324
2	3.66	4.20	54	12.857
3	4.63	4.90	27	5.510
4	5.12	5.30	18	3.396
5	6.10	6.25	15	2.400
6	6.59	6.70	11	1.642
7	7.56	7.65	9	1.176
8	8.30	8.35	5	0.599

- [4] 王勇军,柯凯. 多通道雷达信号合成方法研究[J]. 舰船电子工程, 2022,42(8):55-58,67. (WANG Yongjun,KE Kai. Research on multi-channel radar signal synthesis method[J]. Ship Electronic Engineering, 2022,42(8):55-58,67.) doi:10.3969/j.issn.1672-9730.2022.08.012.
- [5] 朱正,李健壮,黄治华. 基于RFSoc的4GHz频谱仪设计[J]. 微电子学, 2016,46(1):141-144. (ZHU Zheng,LI Jianzhuang,HUANG Zhihua. Design of a 4 GHz spectrum analyzer based on RFSoc[J]. Microelectronics, 2016,46(1):141-144.) doi:10.13911/j.cnki.1004-3365.2016.01.031.
- [6] 万相宏,肖国尧,全英汇. 一种大带宽多通道信号处理模块设计与实现[J]. 无线电工程, 2022,52(12):2253-2262. (WAN Xianghong, XIAO Guoyao, QUAN Yinghui. Design and implementation of a multi-channel universal signal processor[J]. Radioengineering, 2022,52(12):2253-2262.) doi:10.3969/j.issn.1003-3106.2022.12.020.
- [7] 李东玲. 调频连续波激光雷达测距系统仿真[J]. 集成电路应用, 2023,40(1):18-19. (LI Dongling. Simulation of frequency-modulated continuous wave lidar ranging system[J]. Applications of IC, 2023,40(1):18-19.) doi:10.19339/j.issn.1674-2583.2023.01.006.
- [8] 杨涛. 雷达测距误差的影响因素及修正方法[J]. 长江信息通信, 2022,35(8):108-110. (YANG Tao. The influencing factors and correction methods of radar ranging errors[J]. Changjiang Information & Communications, 2022,35(8):108-110.) doi:10.3969/j.issn.1673-1131.2022.08.033.
- [9] 周杨. IQ混频器设计[J]. 科技视界, 2015(16):82-84. (ZHOU Yang. Design of IQ mixer[J]. Science & Technology Vision, 2015(16):82-84.) doi:10.3969/j.issn.2095-2457.2015.16.060.
- [10] 赵世超,左金印,魏骁,等. 基于FPGA的万兆以太网UDP协议通信接口设计[J]. 电子技术应用, 2022,48(10):113-117,122. (ZHAO Shichao,ZUO Jinyin,WEI Xiao,et al. Design of 10 gigabit Ethernet UDP communication module based on FPGA[J]. Application of Electronic Technique, 2022,48(10):113-117,122.) doi:10.16157/j.issn.0258-7998.222620.
- [11] 陈小龙,袁旺,杜晓林,等. 多波段FMCW雷达低慢小探测数据集(LSS-FMCWR-1.0)及高分辨微动特征提取方法[J/OL]. 雷达学报, 2023:1-15. (CHEN Xiaolong,YUAN Wang,DU Xiaolin,et al. Multiband FMCW radar LSS-target detection dataset(LSS-FMCWR-1.0) and high-resolution micromotion feature extraction method[J/OL]. Journal of Radars, 2023:1-15.) doi:10.12000/JR23142.
- [12] 刘琳,王彩霞,田杨萌,等. 多普勒效应对雷电源辐射定位的影响[J]. 太赫兹科学与电子信息学报, 2023,21(9):1135-1143. (LIU Lin,WANG Caixia,TIAN Yangmeng,et al. Influence of Doppler effect on the radiation positioning of the thunder source[J]. Journal of Terahertz Science and Electronic Information Technology, 2023,21(9):1135-1143.) doi:10.11805/TKYDA2021257.
- [13] 李晓帆,邓彬,罗成高,等. 基于深度学习的雷达成像研究进展[J]. 太赫兹科学与电子信息学报, 2023,21(9):1086-1099. (LI Xiaofan,DENG Bin,LUO Chenggao,et al. Research progress of radar imaging based on Deep Learning[J]. Journal of Terahertz Science and Electronic Information Technology, 2023,21(9):1086-1099.) doi:10.11805/TKYDA202125.
- [14] 路贵斌,芮义斌,孙锦涛. PRC-CW雷达近距离目标干扰的自适应对消[J]. 南京理工大学学报(自然科学版), 2006,30(3):339-342. (LU Guibin,RUI Yibin,SUN Jintao. Adaptive cancellation to interference of close-in targets for PRC-CW radar[J]. Journal of Nanjing University of Science and Technology, 2006,30(3):339-342.) doi:10.3969/j.issn.1005-9830.2006.03.022.
- [15] 朱家顺,周强,徐占洋,等. 时钟抖动对射频脉宽调制性能的影响分析[J]. 太赫兹科学与电子信息学报, 2023,21(3):340-348. (ZHU Jiashun,ZHOU Qiang,XU Zhanyang,et al. Analysis of the effect of timing jitter on RF-PWM performance[J]. Journal of Terahertz Science and Electronic Information Technology, 2023,21(3):340-348.) doi:10.11805/TKYDA2022160.

作者简介:

孟翔麒(1995-), 男, 在读硕士研究生, 主要研究方向为信号与通信工程以及FPGA设计. email:18944529234@163.com.

汪兴海(1987-), 男, 硕士, 副教授, 主要研究方向为电子系统设计、数字信号处理等.

薛伟(1970-), 男, 博士, 教授, 博士生导师, 主要研究方向为水下及地下无线通信技术、通信信号检测与识别技术等.

陈小龙(1985-), 男, 博士, 教授, 主要研究方向为雷达弱小目标检测、海杂波抑制、雷达智能信号处理等.