

文章编号: 2095-4980(2025)01-0035-05

# 一种大带宽、高增益的高速跨阻放大器芯片设计

班 郁<sup>1,2</sup>

(1. 中国电子科技集团公司智能科技研究院, 北京 100144; 2. 集成电路与微系统全国重点实验室, 北京 100042)

**摘要:** 提出一种可用于高速光接收系统的宽带跨阻放大器(TIA)芯片架构和电路设计。跨阻放大器芯片作为光电探测器后端电路, 可对探测器输出的电流信号进行低噪声放大, 并使其满足速率和系统灵敏度需求。高速跨阻放大器设计架构由跨阻放大器核心电路、单端到差分转换电路以及限幅放大器电路 3 部分组成。在限幅放大器设计中, 利用密勒效应引入可调电容平衡高频电路输出电压幅度、带宽和电路稳定性, 实现信号宽带接收、限幅放大以及外部驱动等功能, 提升高速传输信号的质量。通过在不同工艺角下对芯片进行小信号幅频特性分析、噪声仿真及大信号时域分析, 进一步验证了跨阻放大器芯片的带宽、噪声和灵敏度以及传输特性等芯片各项性能指标。

**关键词:** 宽带跨阻放大器(TIA); 高速光收发; 密勒效应

中图分类号: TN45

文献标志码: A

doi: 10.11805/TKYDA2024522

## An integrated high-speed Transimpedance Amplifier chip with broad bandwidth and high gain

BAN Yu<sup>1,2</sup>

(1. Artificial Intelligence Institute of CETC, Beijing 100144, China;

2. National Key Laboratory of Integrated Circuits and Microsystems, Beijing 100042, China)

**Abstract:** A broadband Transimpedance Amplifier(TIA) chip architecture and circuit design suitable for high-speed optical receiver systems are proposed. The TIA chip, as the backend circuit of the photoelectric detector, can amplify the high speed photo-current of the detector with a low input referred noise and meet the requirements of system-level speed and sensitivity. The high-speed TIA design architecture consists of three parts: the TIA core circuit, the single-ended to differential conversion circuit, and the limiting amplifier circuit. In the design of the limiting amplifier, the Miller effect is utilized to introduce tunable capacitors to balance the output voltage amplitude, bandwidth, and circuit stability of the high-frequency circuit, achieving broadband signal reception, limiting amplification, and external driving functions, thereby enhancing the quality of high-speed transmission signals. By conducting small-signal amplitude-frequency characteristic analysis, noise simulation, and large-signal time-domain analysis of the chip under different process corners, the bandwidth, noise, sensitivity and transmission characteristics of the TIA chip are further verified.

**Keywords:** broadband Transimpedance Amplifier(TIA); high speed optical transceiver; Miller effect

近年来, 随着互联网数据流量的指数增长, 大带宽、高速率的通信系统、数据中心、多模收发组件和高速光电链路, 以及配套的光电收发器件得到了快速的发展和应用<sup>[1]</sup>。硅光技术能够实现高带宽的数据传输, 满足现代高速通信和数据中心对大容量数据传输的需求, 在高速率传输方面表现出色, 可支持 400 G、800 G 甚至更高的数据传输速率, 有效提升了网络的整体性能。相比传统的电子互联技术, 硅光互联的功耗较低, 这对于大规模的数据中心和通信网络至关重要, 可降低能源消耗和运营成本。硅光器件在工作时产生的热量较少, 减少了散热需求, 进一步提高了系统的可靠性和稳定性。此外, 硅光技术可与传统的互补金属氧化物半导体(Complementary

Metal Oxide Semiconductor, CMOS)工艺兼容, 实现高度集成的光电子芯片<sup>[2-3]</sup>。而在传输介质上, 采用硅作为集成光器件的衬底, 可利用已有的集成电路工艺制作光学器件, 有助于降低成本及实现光电集成<sup>[3]</sup>。

高速跨阻放大器(TIA)作为光电接收系统中的一个核心组件, 广泛用于前端光接收器中, 决定了接收系统的增益、带宽和灵敏度等指标<sup>[4]</sup>。进行宽带硅基跨阻放大器的设计开发时, 需考虑噪声、带宽、增益、芯片面积和功耗等系统整体需求, 以及各个指标之间的分配和权重<sup>[5]</sup>。为提高数据速率, 各种带宽扩展技术已被广泛使用, 包括负反馈、电感峰化和电容退化等技术路线<sup>[6]</sup>。但各项技术都有其不利因素, 会影响到器件乃至整个系统的指标, 如, 单纯采用电感峰化技术可以扩展信号输出的带宽, 提高传输速率, 但存在芯片面积大幅增加导致的加工成本提升等问题<sup>[7]</sup>。为克服这些问题, 本文采用电容退化、电感峰化与高频补偿等结构相融合的跨阻放大器拓扑结构, 增加电路带宽。跨阻放大器采用全差分的芯片结构, 阻止由于串扰导致的光电接收器系统灵敏度下降。因此, 由半导体工艺偏差引起的信号串扰转换为共模电流, 被跨阻放大器的差分结构所抑制。同时, 差分信号结构增强了电路带宽, 在保持低噪声的同时提高了信号传输质量。

### 1 高速光模块和电路架构设计

高速光模块将光源、硅光子器件/芯片、配套电驱动芯片通过高速集成工艺实现器件集成。相较传统光模块采用的分离式结构光器件部件多、封装工序复杂、成本高的缺点, 硅光模块可将多路器件集成在一起, 有效降低材料成本、芯片成本、封装成本, 同时也能有效控制功耗。高速光电模块的系统架构如图 1 所示, 其工作原理是将输入的电信号经内部的调制器驱动芯片处理后, 调制到激光器发射光信号中完成电光转换; 经过波导或光纤的传输之后, 光信号输入接收模块, 由光电探测器转换为微弱电流信号; 再经过跨阻放大器进行宽带信号放大转换为电压信号, 由限幅放大器进行限幅放大; 最后经过时钟数据恢复模块得出原来的电信号, 从而实现光电转换和高数据容量的快速和准确传输。

高速跨阻放大器设计架构共包括 3 级放大单元, 如图 2 所示。第 1 级为跨阻放大器核心电路模块; 第 2 级为单端到差分转换电路模块; 第 3 级为限幅放大器模块。其中, 第 1 级跨阻放大器核心电路负责将光电探测器转换的光电流进行转化和放大, 成为电压输出信号; 第 2 级单端到差分转换电路将跨阻放大器的单端电压输入转换成为端输出; 最后, 第 3 级限幅放大器模块对跨阻放大器输出提供宽频带条件下的限幅输出, 并提供 50 Ω 匹配负载和相应驱动能力。

## 2 芯片设计

### 2.1 跨阻放大器核心电路

跨阻放大器核心电路的作用是将光电探测器转换的光电流放大并转换为电压信号。其中, 放大级采用共射-共基电路结构<sup>[8]</sup>, 配合负载电阻和电感形成放大级, 输出经过发射级跟随电路接反馈电阻, 反馈电阻另一端接主放大管的基极。跨阻放大器核心电路原理图如图 3 所示, 其中,  $Q_1$ 、 $Q_2$  和  $R_1$ 、 $L_1$  作为主放大级, 对输入的高速电流信号进行宽带放大。 $Q_1$  和  $Q_2$  构成共射-共基结构<sup>[9]</sup>, 可有效提升电路的高频通频特性,  $R_1$  和  $L_1$  作为放大级负载, 在高频中增加了一个尖峰, 提升了电路零点, 从而进一步提升了信号带宽, 满足 25 Gbps 的带宽要求。同时, 在设计中引入补偿电流, 提高了小电流下主放大管  $Q_1$  的跨导, 进一步

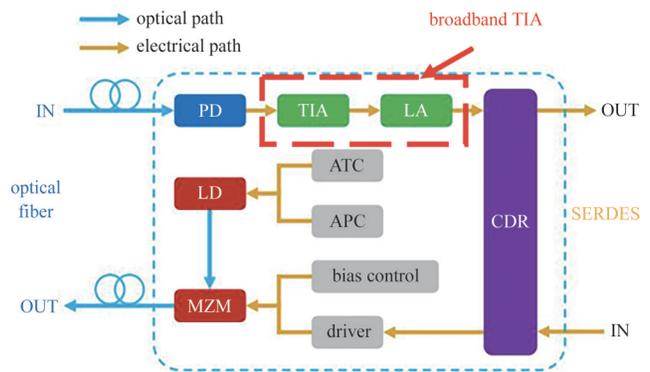


Fig.1 System-level architecture of optical modules  
图 1 光电收发模块系统架构

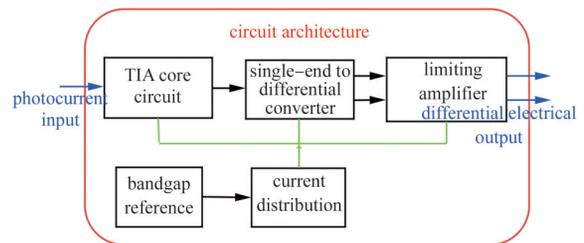


Fig.2 Circuit-level architecture of the TIA  
图 2 跨阻放大器电路架构

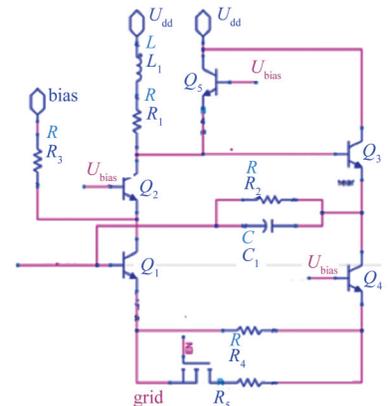


Fig.3 Circuit design of the TIA core  
图 3 跨阻放大器核心电路设计

提高了晶体管的特征频率，从而提升高频信号带宽和质量。跨阻放大器的闭环增益由跨阻  $R_2$  的值确定，并联在跨阻两侧的电容  $C_1$  提供频率补偿。

对跨阻放大器模块进行电路仿真，并联合前端光电探测器模型可对跨阻放大器芯片的增益带宽进行幅频特性分析，结果如图 4 所示。通过放大级负载设计，利用在输出高频处引入零点的方式补偿了高频增益，进一步提升了信号带宽。同时，在工作频率范围内有较为平坦的增益曲线可帮助对信号进行线性放大，从而满足信号的灵敏度要求。跨阻放大器后端输出与一个标准的单转差分电路模块连接，实现信号的单端到差分转换。限于篇幅，文中不再赘述。

### 2.2 限幅放大器电路

限幅放大器电路的作用是将输入信号的放大倍数限制在特定范围内，通过限幅输出并提供对外所需的驱动能力，在光电传输中可有助于防止信号失真或过载，保证信号的高速和准确传输。其具体电路结构如图 5 所示。

限幅放大器电路采用共射差分放大器。其中， $Q_1$  和  $Q_2$  为主放大管， $R_1$ 、 $R_2$ 、 $L_1$  和  $L_2$  为负载。电感  $L_1$  和  $L_2$  提高了高频增益；同时，在主放大管  $Q_1$  和  $Q_2$  的发射极之间引入 2 个可变电容  $C_1$  和  $C_2$ ，其数值可通过在两电容共电位端增加可调电压控制，从而实现高频信号的补偿可调。负载  $R_1$ 、 $R_2$  均为  $50 \Omega$ ，匹配后续传输线和外部负载。 $Q_6$  和  $Q_8$  共同作为电流镜，将参考电流进行放大，从而为主放大器和负载进行电流供电。为配合外部接口要求，限幅放大器的差分输出端到芯片引脚之间有很长的输出线走线，会进一步限制带宽。因此，在电路设计中通过电感峰化技术的另一个优点即通过引入零点补偿产生极点等方式，可对整体链路带宽实现一定的补偿。

对限幅放大器模块进行电路仿真，在 25 Gbit/s 速率下进行时域分析，在输出端可得到清晰的眼图和波形，如图 6 所示。

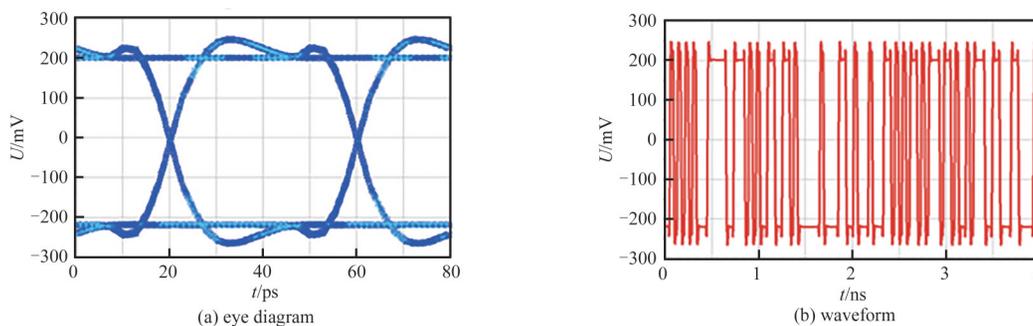


Fig.6 Time-domain simulation results of the limiting amplifier  
图 6 限幅放大器电路时域仿真结果

## 3 芯片版图和后仿真分析

### 3.1 芯片版图

芯片版图将电路设计转化为实际的物理图形布局，以实现芯片功能并满足性能要求。在芯片版图完成后进行后仿真，通过提取版图中的寄生电阻和寄生电容参数，并结合电路设计做进一步的仿真分析和优化，以便芯片在高速设计中更好地贴近实际，提升设计可靠性和稳定性。高速跨阻放大器芯片完整版图如图 7 所示。

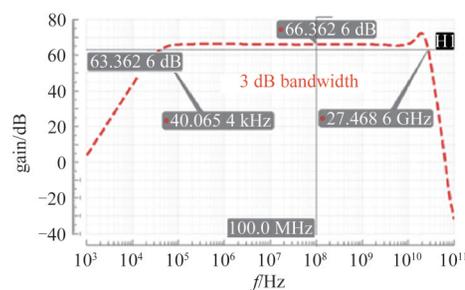


Fig.4 Gain and bandwidth of the TIA core  
图 4 跨阻放大器幅频特性分析

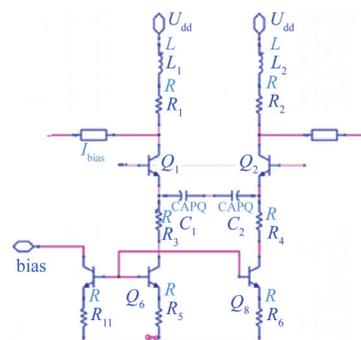


Fig.5 Circuit design of the limiting amplifier  
图 5 限幅放大器电路设计

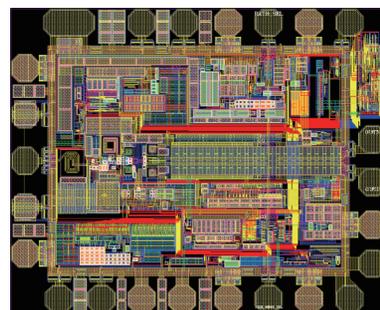


Fig.7 Layout of the TIA chip  
图 7 跨阻放大器芯片版图

### 3.2 后仿真分析

#### 3.2.1 噪声分析

对跨阻放大器芯片进行版图后仿真，仿真温度设置为 27 °C。针对不同工艺角分别对跨阻放大器模型的噪声特性进行仿真，可观察到不同工艺极限状态下电路的输入参考噪声电流，如图 8 所示，跨阻放大器模型的输入参考噪声电流仿真值均在 4  $\mu\text{A}$  以下。

#### 3.2.2 时域仿真

进行寄生参数提取并在 25 Gbit/s 速率下对芯片完成时域仿真，在输出端可得到清晰的眼图，如图 9 所示。以上分析共同证明了跨阻放大器芯片的宽带特性、噪声特性、良好的传输特性以及信号完整性。

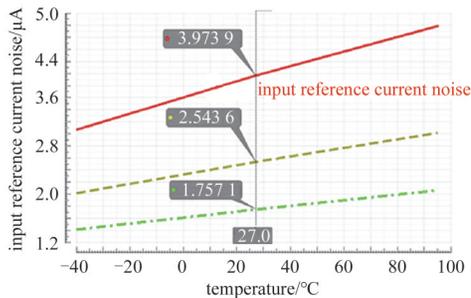


Fig.8 Analysis of the input reference current noise  
图 8 输入参考噪声分析

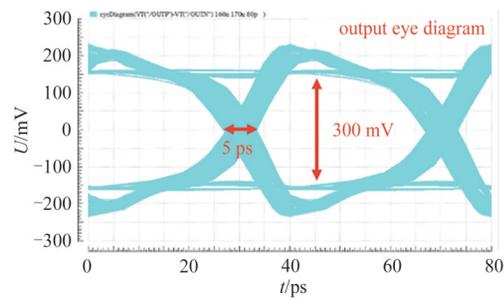


Fig.9 Output eye diagrams of the TIA at 25 Gbit/s  
图 9 跨阻放大器 25 Gbit/s 输出眼图

### 3.3 文献对比

对跨阻放大器设计的有关文献进行检索，提取其中各性能与关键指标，包括：速率、带宽、增益、信号抖动、面积、功耗和使用工艺等参数指标，并与本文进行对比，结果如表 1 所示。

表 1 跨阻放大器性能指标对比  
表 1 Performance comparison of this work with other reported TIAs

reference	data rate/Gbps	bandwidth/GHz	gain/dB	jitter/ps	chip size/mm <sup>2</sup>	power consumption/mW	technology
[4]*	30	21.2	45	9	-	10.3	0.18 $\mu\text{m}$ CMOS
[5]	10	6.1	62	12	1.20	98.0	0.13 $\mu\text{m}$ CMOS
[10]	25	20.4	64	-	-	82.0	0.18 $\mu\text{m}$ BiCMOS
this work	25	27.5	66	5	0.84	80.0	0.18 $\mu\text{m}$ BiCMOS

\*Ref.[4]: pre-layout simulation results; Ref.[5],[10] and this work: post-layout simulation results.

对比其他 3 篇文献可以发现，本文的跨阻放大器具有更大的带宽和放大增益、更小的信号抖动和芯片面积以及可比拟的芯片功耗。较好的带宽特性表明其具有更好的高频性能，有助于减小由于带宽受限引起的信号失真；更大的增益有助于信号在通过跨阻放大器时能够得到更有效的放大；更低的信号抖动对于保证信号的完整性以及高速信号传输的准确性至关重要。在面积和功耗方面，本文也表现出一定的优势，更小的芯片面积有助于实现更低的加工成本。需要说明的是，本文的高速跨阻放大器的功耗约为 80 mW，与采用类似工艺的文献[10]中的芯片功耗 82 mW 接近，但高于文献[4]。这是由于文献[4]采用了 CMOS 工艺，在牺牲一定的电流驱动能力下大幅减小了晶体管的直流通电流，因此芯片功耗更小。总体而言，本文的高速跨阻放大器实现了关键性能指标上的更优权衡，在信号传输速率、带宽、增益、信号抖动、芯片面积以及功耗等方面，都体现出一定的优势，证明了该跨阻放大器在频率和时域响应上具有更好的高频和高速性能，也为下一步持续提升电路高速性能提供相当的潜力。

## 4 结论

本文讨论了一种可用于高速光收发模块的宽带跨阻放大器芯片设计和优化方法。在设计中采用电感峰化技术、可调电容和密勒效应相结合的电路架构，实现了信号宽带接收、限幅放大以及外部驱动等功能；引入零点实现了信号高频增益的补偿，从而提升整体宽带和传输信号的质量。

## 参考文献：

- [ 1 ] LIU Junhong, TU Junyuan, WU Yi, et al. Bandwidth extension techniques for CMOS low-noise amplifiers[C]// IEEE MTT-S international wireless symposium(IWS). Nanjing, China: IEEE, 2021: 1-3. doi:10.1109/IWS52775.2021.9499477.
- [ 2 ] KIM H, YUNSEONG J, SANGHUN L, et al. A 32 Gb/s single-ended PAM-4 transceiver with asymmetric termination and equalization techniques for next-generation memory interfaces[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2024, 71(11): 4912-4923. doi:10.1109/TCSI.2024.3408648.
- [ 3 ] 李硕, 何进, 陈婷, 等. 基于 0.18  $\mu\text{m}$  BiCMOS 工艺的 25 Gbit/s 光接收机前端电路设计[J]. 半导体技术, 2019, 44(2): 87-93. (LI Shuo, HE Jin, CHEN Ting, et al. Front-end circuit design of 25 Gbit/s optical receiver based on 0.18  $\mu\text{m}$  BiCMOS process[J]. Semiconductor Technology, 2019, 44(2): 87-93.)
- [ 4 ] ANUSHA U, RAGHU S, DURAISWAMY P. 30 Gb/s low power inductorless CMOS transimpedance amplifier for optical receivers[C]// 2018 the 3rd International Conference on Microwave and Photonics. Dhanbad, India: IEEE, 2018: 1-2. doi:10.1109/ICMAP.2018.8354482.
- [ 5 ] MOMENI O, HASHEMI H, AFSHARI E. A 10 Gb/s inductorless transimpedance amplifier[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2010, 57(12): 926-930. doi:10.1109/TCSII.2010.2087971.
- [ 6 ] ZHAN Jiafeng, WANG Hengbo, LI Xianbo. Low-noise trans-impedance amplifier with ambient light rejection for high-speed optical wireless communication[C]// 2022 the 2nd International Conference on Consumer Electronics and Computer Engineering (ICCECE). Guangzhou, China: IEEE, 2022: 138-141. doi:10.1109/ICCECE54139.2022.9712783.
- [ 7 ] RAZAVI B. Design of integrated circuits for optical communications[M]. 2nd ed. New Jersey: Wiley, 2012.
- [ 8 ] LIANG Han, YE Yizheng, BAI Tao. 2.5 Gb/s CMOS RGC trans-impedance amplifier[C]// 2007 International Conference on Microelectronics. Cairo: IEEE, 2007: 19-22. doi:10.1109/ICM.2007.4497653.
- [ 9 ] TAKAHASHI Y, DAISUKE I, NAKAMURA M. A 25 Gb/s active feedback trans-impedance amplifier in 65 nm CMOS[C]// 2024 International Conference on Electronics, Information, and Communication (ICEIC). Taipei, Taiwan, China: IEEE, 2021: 1-4. doi:10.1109/ICEIC61013.2024.10457256.
- [ 10 ] 薛喆, 何进, 陈婷, 等. 基于 SiGe BiCMOS 工艺的 25 Gbit/s 跨阻放大器设计[J]. 半导体技术, 2017, 42(12): 892-895, 917. (XUE Zhe, HE Jin, CHEN Ting, et al. Design of 25 Gbit/s transimpedance amplifier based on SiGe BiCMOS process[J]. Semiconductor Technology, 2017, 42(12): 892-895, 917.)

## 作者简介：

班 郁(1985-), 男, 博士, 高级工程师, 主要研究方向为射频/毫米波集成电路、高速集成电路、微系统技术研究. email: yu.ban@outlook.com.